

日本国特許庁
JAPAN PATENT OFFICE

24.12.03

REC'D 22 JAN 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application: 2002年12月27日

出願番号
Application Number: 特願2002-381362

[ST. 10/C]: [JP2002-381362]

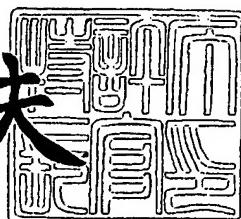
出願人
Applicant(s): コーニング・クレッカ フィリップス エレクトロニクス エヌ
ヴィ

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年10月21日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願
【整理番号】 PHJP020029
【あて先】 特許庁長官 殿
【国際特許分類】 G02F
【発明者】

【住所又は居所】 兵庫県神戸市西区高塚台4丁目3番1号 フィリップス
モバイルディスプレイシステムズ神戸株式会社内

【氏名】 住 尚樹

【特許出願人】

【識別番号】 590000248

【氏名又は名称】 コーニンクレッカ フィリップス エレクトロニクス
エヌ ヴィ

【代理人】

【識別番号】 100087789

【弁理士】

【氏名又は名称】 津軽 進

【選任した代理人】

【識別番号】 100114753

【弁理士】

【氏名又は名称】 宮崎 昭彦

【選任した代理人】

【識別番号】 100121083

【弁理士】

【氏名又は名称】 青木 宏義

【手数料の表示】

【予納台帳番号】 060624

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9813318

【包括委任状番号】 0001373

【包括委任状番号】 0201655

【プルーフの要否】 要

るよう、前記絶縁膜をパターニングする工程と、

前記パターニングされた絶縁膜が設けられた支持体上に、前記低抵抗用導電部の第2の部分を通じて前記1つの導電部の第1の部分に電気的に接続されるよう、前記複数の導電部のうちの残りの導電部を形成する工程と、

前記低抵抗用導電部の前記第1の部分を除去する工程とを有し、

前記被覆膜を形成する工程が、前記1つの導電部又は前記残りの導電部のうちの少なくともいずれか一方を覆う被覆膜を形成することを特徴とする請求項1に記載の導電部装置製造方法。

【請求項8】 前記1つの導電部の第1の部分がゲート端子を構成し、前記残りの導電部がゲートバスの本体部を構成することを特徴とする請求項6又は7に記載の導電部装置製造方法。

【請求項9】 前記1つの導電部の第1の部分がソース端子を構成し、前記残りの導電部がE S Dトランジスタのゲート電極を構成することを特徴とする請求項6又は7に記載の導電部装置製造方法。

【請求項10】 前記1つの導電部が前記金属又は金属酸化物として酸化インジウムを含有し、前記残りの導電部のうちの1つの導電部が、前記金属又は金属酸化物としてアルミニウムを含有し、前記残りの導電部のうちの別の導電部が前記金属又は金属酸化物としてモリブデンを含有することを特徴とする請求項6乃至9のうちのいずれか1項に記載の導電部装置製造方法。

【請求項11】 前記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有する絶縁膜を形成する工程であり、

前記被覆膜を形成する工程が、酸化モリブデンクロムを含む被覆膜を形成する工程であることを特徴とする請求項2乃至10のうちのいずれか1項に記載の導電部装置製造方法。

【請求項12】 互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導電部所有体であって、前記複数の導電部が表面に露出した導電部所有体を形成する工程と、

前記導電部所有体の表面に反射体の下地層を形成する工程とを有する導電部装置製造方法であって、

前記導電部所有体を形成する工程が、前記複数の導電部に電気的に接続された犠牲電極を有する前記導電部所有体であって、前記犠牲電極が表面に露出した前記導電部所有体を形成する工程であり、

前記下地層は、その表面に凹部又は凸部を有し、

前記下地層を形成する工程が、

前記導電部所有体の前記表面に感光性膜を形成する工程と、

前記感光性膜を、前記凹部又は凸部のパターンに対応するパターンに露光する工程と、

前記露光された感光性膜を現像する工程と、

前記現像された感光性膜をベーリングする工程と、

を有することを特徴とする導電部装置製造方法。

【請求項13】 前記導電部所有体を形成する工程が、

支持体上に、前記複数の導電部のうちの少なくとも2つ以上の導電部が積層されるように、前記少なくとも2つ以上の導電部を形成することを特徴とする請求項12に記載の導電部装置製造方法。

【請求項14】 前記少なくとも2つ以上の導電部が、ゲート電極又はゲートバスを構成することを特徴とする請求項13に記載の導電部装置製造方法。

【請求項15】 前記少なくとも2つ以上の導電部が、ソース電極又はソースバスを構成することを特徴とする請求項13に記載の導電部装置製造方法。

【請求項16】 前記少なくとも2つ以上の導電部のうちの1つの導電部が、前記金属又は金属化合物としてモリブデンを有し、前記少なくとも2つ以上の導電部のうちの別の導電部が、前記金属又は金属化合物としてアルミニウムを有することを特徴とする請求項14又は15に記載の導電部装置製造方法。

【請求項17】 前記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し、

前記導電部所有体を形成する工程が、

支持体上に、前記複数の導電部のうちの1つの導電部と、前記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部とを有する第1の導電積層体を形成する工程と、

前記支持体上に前記犠牲電極を形成する工程と、
前記第1の導電積層体と前記犠牲電極とが形成された支持体上に絶縁膜を形成する工程と、
前記1つの導電部の第1の部分と、前記1つの導電部の第2の部分又は前記低抵抗用導電部とが露出するとともに、前記犠牲電極接続部と前記犠牲電極本体部とが露出するように、前記絶縁膜をパターニングする工程と、
前記パターニングされた絶縁膜が設けられた支持体上に、前記1つの導電部の第2の部分又は前記低抵抗用導電部を通じて前記1つの導電部の第1の部分に電気的に接続され、且つ前記犠牲電極接続部を通じて前記犠牲電極本体部に電気的に接続されるように、前記複数の導電部のうちの残りの導電部を形成する工程とを有することを特徴とする請求項12に記載の導電部装置製造方法。

【請求項18】 前記犠牲電極を形成する工程が、前記第1の導電積層体を形成する工程と同一の工程で行われることを特徴とする請求項17に記載の導電部装置製造方法。

【請求項19】 前記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し

前記導電部所有体を形成する工程が、
支持体上に、前記複数の導電部のうちの1つの導電部と、前記1つの導電部の少なくとも第1の部分及び第2の部分を覆う、抵抗を低くするための低抵抗用導電部とを有する第2の導電積層体を形成する工程と、

前記支持体上に、前記犠牲電極と、前記犠牲電極の前記犠牲電極本体部を覆う犠牲電極本体被覆部とを有する犠牲電極積層体を形成する工程と、

前記第2の導電積層体と前記犠牲電極積層体とが形成された支持体上に絶縁膜を形成する工程と、

前記1つの導電部の第1の部分を覆う前記低抵抗用導電部の第1の部分と、前記1つの導電部の第2の部分を覆う前記低抵抗用導電部の第2の部分とが露出するとともに、前記犠牲電極接続部と前記犠牲電極本体被覆部とが露出するよう、前記絶縁膜をパターニングする工程と、

前記パターニングされた絶縁膜が設けられた支持体上に、前記低抵抗用導電部

の第2の部分を通じて前記1つの導電部の第1の部分に電気的に接続され、且つ前記犠牲電極接続部を通じて前記犠牲電極本体部に電気的に接続されるように、前記複数の導電部のうちの残りの導電部を形成する工程と、

前記低抵抗用導電部の第1の部分と前記犠牲電極本体被覆部とを除去する工程とを有することを特徴とする請求項12に記載の導電部装置製造方法。

【請求項20】 前記犠牲電極積層体を形成する工程が、前記第2の導電積層体を形成する工程と同一の工程で行われることを特徴とする請求項19に記載の導電部装置製造方法。

【請求項21】 前記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し

前記導電部所有体を形成する工程が、

支持体上に、前記複数の導電部のうちの1つの導電部と前記犠牲電極接続部を通じて前記1つの導電部に繋がる前記犠牲電極本体部とを有する犠牲電極本体部所有層と、前記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部とを有する第3の導電積層体を形成する工程と、

前記第3の導電積層体が形成された支持体上に絶縁膜を形成する工程と、

前記1つの導電部の第1の部分と前記犠牲電極本体部と前記低抵抗用導電部とが露出するように、前記絶縁膜をパターニングする工程と、

前記パターニングされた絶縁膜が設けられた支持体上に、前記低抵抗用導電部を通じて前記1つの導電部の第1の部分と前記犠牲電極本体部とに電気的に接続されるように、前記複数の導電部のうちの残りの導電部を形成する工程とを有することを特徴とする請求項12に記載の導電部装置製造方法。

【請求項22】 前記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し

前記導電部所有体を形成する工程が、

支持体上に、前記複数の導電部のうちの1つの導電部と前記犠牲電極接続部を通じて前記1つの導電部に繋がる前記犠牲電極本体部とを有する犠牲電極本体部所有層と、前記1つの導電部の少なくとも第1の部分及び第2の部分と前記犠牲電極の犠牲電極本体部とを覆う、抵抗を低くするための低抵抗用導電部とを有す

る第4の導電積層体を形成する工程と、

前記第4の導電積層体が形成された支持体上に絶縁膜を形成する工程と、

前記1つの導電部の第1の部分を覆う前記低抵抗用導電部の第1の部分と、前記1つの導電部の第2の部分を覆う前記低抵抗用導電部の第2の部分と、前記犠牲電極本体部を覆う前記低抵抗用導電部の犠性電極本体被覆部とが露出するよう、前記絶縁膜をパターニングする工程と、

前記パターニングされた絶縁膜が設けられた支持体上に、前記低抵抗用導電部の第2の部分を通じて前記1つの導電部の第1の部分と前記犠牲電極本体部とに電気的に接続されるように、前記複数の導電部のうちの残りの導電部を形成する工程と、

前記低抵抗用導電部の第1の部分と前記低抵抗用導電部の前記犠牲電極本体被覆部とを除去する工程とを有することを特徴とする請求項12に記載の導電部装置製造方法。

【請求項23】 前記1つの導電部の第1の部分がゲート端子を構成し、前記残りの導電部がゲートバスの本体部を構成することを特徴とする請求項17乃至22のうちのいずれか1項に記載の導電部装置製造方法。

【請求項24】 前記1つの導電部の第1の部分がソース端子を構成し、前記残りの導電部がE S Dトランジスタのゲート電極を構成することを特徴とする請求項17乃至22のうちのいずれか1項に記載の導電部装置製造方法。

【請求項25】 前記1つの導電部が前記金属又は金属酸化物として酸化インジウムを含有し、前記残りの導電部のうちの1つの導電部が、前記金属又は金属酸化物としてアルミニウムを含有し、前記残りの導電部のうちの別の導電部が前記金属又は金属酸化物としてモリブデンを含有することを特徴とする請求項17乃至24のうちのいずれか1項に記載の導電部装置製造方法。

【請求項26】 前記犠牲電極が酸化インジウムを含有することを特徴とする請求項17乃至25のうちのいずれか1項に記載の導電部装置製造方法。

【請求項27】 前記1つの導電部と前記犠牲電極とがI T O又はI Z Oを含有することを特徴とする請求項25又は26に記載の導電部装置製造方法。

【請求項28】 第1の金属又は金属化合物を有する第1の導電部と、前記

第1の導電部に電気的に接続された導電膜とを有する導電膜所有体を形成する工程と、

前記第2の金属又は金属化合物を含有する第2の導電部であって、前記第1の導電部に電気的に接続された第2の導電部が形成されるとともに、前記第1の導電部の第1の部分が露出するように、前記導電膜をウエットエッティングする工程とを有する導電部装置製造方法であって、

前記ウエットエッティング工程が、前記第2の導電部の他に、前記第1の導電部に電気的に接続された犠牲電極が形成されるように、前記導電膜をウエットエッティングすることを特徴とする導電部装置製造方法。

【請求項29】 前記導電膜所有体を形成する工程が、

支持体上に、前記第1の導電部を形成する工程と、

前記第1の導電部が形成された支持体上に第1の絶縁膜を形成する工程と、

前記第1の導電部の前記第1の部分と、前記第2の導電部に接続される前記第1の導電部の第1の接続部と、前記犠牲電極に接続される前記第1の導電部の第2の接続部とが露出するように前記第1の絶縁膜をパターニングする工程と、

前記第1の導電部の前記第1及び第2の接続部を通じて前記第1の導電部の第1の部分に電気的に接続される前記導電膜を形成する工程とを有し、

前記ウエットエッティング工程が、前記第1の導電部の第1の接続部を通じて前記第1の導電部の第1の部分に電気的に接続された前記第2の導電部と、前記第1の導電部の第2の接続部を通じて前記第1の導電部の第1の部分に電気的に接続された犠牲電極とが形成されるとともに、前記第1の導電部の第1の部分が露出するように、前記導電膜をウエットエッティングすることを特徴とする請求項28に記載の導電部装置製造方法。

【請求項30】 前記導電膜所有体を形成する方法が、

前記第1の導電部を形成する工程に代えて、前記支持体上に、第3の導電部と、前記第3の導電部を覆う前記第1の導電部とを有する第5の導電積層体を形成する工程を有し、

前記導電部装置製造方法が、前記第3の導電部の少なくとも一部が露出するように、前記ウエットエッティング工程により露出した第1の導電部の第1の部分を

【請求項 3 4】 互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導電部所有体と、前記導電部所有体に形成された下地層と、前記下地層の表面に形成された、複数の凹部又は凸部を有する反射体とを有する導電部装置であって、

前記下地層が、前記複数の凹部又は凸部に対応する位置に設けられた被覆部と、感光性材料により形成された、前記被覆部を覆う下地層本体とを有することを特徴とする導電部装置。

【請求項 3 5】 前記導電部所有体が、支持体と、前記支持体上に形成された絶縁膜とを有し、

前記絶縁膜の上に、前記複数の導電部のうちの少なくとも 2 つ以上の導電部が積層されるように形成されたことを特徴とする請求項 3 4 に記載の導電部装置。

【請求項 3 6】 前記少なくとも 2 つ以上の導電部が、ゲート電極又はゲートバスを構成することを特徴とする請求項 3 5 に記載の導電部装置。

【請求項 3 7】 前記少なくとも 2 つ以上の導電部が、ソース電極又はソースバスを構成することを特徴とする請求項 3 5 に記載の導電部装置。

【請求項 3 8】 前記少なくとも 2 つ以上の導電部のうちの 1 つの導電部が、前記金属又は金属化合物としてモリブデンを有し、前記少なくとも 2 つ以上の導電部のうちの別の導電部が、前記金属又は金属化合物としてアルミニウムを有することを特徴とする請求項 3 6 又は 3 7 に記載の導電部装置。

【請求項 3 9】 前記導電部所有体が、
支持体と、

前記複数の導電部のうちの 1 つの導電部を残りの導電部に電気的に接続するための導電部用の孔を有する絶縁膜とを有し、

前記 1 つの導電部が前記絶縁膜の下に形成されるとともに、前記残りの導電部が前記絶縁膜の上に形成され、

前記 1 つの導電部が前記導電部用の孔を通じて前記残りの導電部に電気的に接続されたことを特徴とする請求項 3 4 に記載の導電部装置。

【請求項 4 0】 前記 1 つの導電部の一部がゲート端子を構成し、前記残りの導電部がゲートバスの本体部を構成することを特徴とする請求項 3 9 に記載の

【0009】**【課題を解決するための手段】**

上記目的を達成する本発明の第1の導電部装置製造方法は、互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導電部所有体であって、上記複数の導電部が表面に露出した導電部所有体を形成する工程と、上記導電部所有体の表面に反射体の下地層を形成する工程とを有する導電部装置製造方法であって、上記下地層は、その表面に凹部又は凸部を有し、上記下地層を形成する工程が、上記導電部所有体の上記表面に被覆膜を形成する工程と、上記被覆膜が形成された導電部所有体上に感光性膜を形成する工程と、上記感光性膜を、上記凹部又は凸部のパターンに対応するパターンに露光する工程と、上記露光された感光性膜を現像する工程と、上記現像された感光性膜をベーリングする工程と、上記ベーリングされた感光性膜をエッチングマスクとして、上記被覆膜をエッチングする工程と、上記ベーリングされた感光性膜と上記エッチングされた被覆膜とが設けられた導電部所有体上に、平坦化膜を形成する工程とを有することを特徴とする。

【0010】

本発明の第1の導電部装置製造方法では、感光性膜を形成する前に、基板の表面に被覆膜が形成される。従って、感光性膜を現像することによって感光性膜の不要な部分が除去されても、被覆膜で覆われた導電部は、現像液には接触しない。この結果、この被覆膜で覆われた導電部はアノード又はカソードとして作用せず、電池反応を生じなくすることができる。このように電池反応を生じなくすることによって、感光性膜が必要以上に除去されたり、導電部が損傷を受けることを防止することができる。

【0011】

ここで、本発明の第1の導電部装置製造方法は、上記導電部所有体を形成する工程が、支持体上に絶縁膜を形成する工程と、上記絶縁膜が形成された支持体上に、上記複数の導電部のうちの少なくとも2つ以上の導電部が積層されるように、上記少なくとも2つ以上の導電部を形成する工程とを有し、上記被覆膜を形成する工程を、上記少なくとも2つ以上の導電部が形成された支持体上に、上記少

なくとも2つ以上の導電部を覆うように上記被覆膜を形成する工程とすることができる。上記少なくとも2つ以上の導電部は、例えば、ゲート電極若しくはゲートバス、又はソース電極若しくはソースバスを構成することができる。この場合、上記少なくとも2つ以上の導電部のうちの1つの導電部が、上記金属又は金属化合物としてモリブデンを有し、上記少なくとも2つ以上の導電部のうちの別の導電部が、上記金属又は金属化合物としてアルミニウムを有することができる。

【0012】

また、本発明の第1の導電部装置製造方法は、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と、上記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部とを有する第1の導電積層体を形成する工程と、上記第1の導電積層体が形成された支持体上に絶縁膜を形成する工程と、上記1つの導電部の第1の部分と、上記1つの導電部の第2の部分又は上記低抵抗用導電部とが露出するように、上記絶縁膜をパターニングする工程と、上記パターニングされた絶縁膜が設けられた支持体上に、上記1つの導電部の第2の部分又は上記低抵抗用導電部を通じて上記1つの導電部の第1の部分に電気的に接続されるように、上記複数の導電部のうちの残りの導電部を形成する工程とを有し、上記被覆膜を形成する工程を、上記1つの導電部の第1の部分又は上記残りの導電部のうちの少なくともいずれか一方を覆う被覆膜を形成することができる。

【0013】

または、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と、上記1つの導電部の少なくとも第1の部分及び第2の部分を覆う、抵抗を低くするための低抵抗用導電部とを有する第2の導電積層体を形成する工程と、上記第2の導電積層体が形成された支持体上に絶縁膜を形成する工程と、上記1つの導電部の第1の部分を覆う上記低抵抗用導電部の第1の部分と、上記1つの導電部の第2の部分を覆う上記低抵抗用導電部の第2の部分とが露出するように、上記絶縁膜をパターニングする工程と、上記パターニングされた絶縁膜が設けられた支持体上に、上記低抵抗用導電部の第2の部分を通じて上記1つの導電部の第1の部分に電気的に接続されるように、上記複数の導電

部のうちの残りの導電部を形成する工程と、上記低抵抗用導電部の上記第1の部分を除去する工程とを有し、上記被覆膜を形成する工程を、上記1つの導電部又は上記残りの導電部のうちの少なくともいずれか一方を覆う被覆膜を形成する工程とすることもできる。

【0014】

この場合、上記1つの導電部の第1の部分がゲート端子を構成するとともに上記残りの導電部がゲートバスの本体部を構成することができ、又は、上記1つの導電部の第1の部分がソース端子を構成するとともに上記残りの導電部がE S Dトランジスタのゲート電極を構成することができる。ここで、上記1つの導電部が上記金属又は金属酸化物として酸化インジウムを含有し、上記残りの導電部のうちの1つの導電部が、上記金属又は金属酸化物としてアルミニウムを含有し、上記残りの導電部のうちの別の導電部が上記金属又は金属酸化物としてモリブデンを含有することができる。

【0015】

また、本発明の第1の導電部装置製造方法は、上記絶縁膜を形成する工程が、窒化シリコン又は二酸化シリコンを有する絶縁膜を形成する工程である場合、上記被覆膜を形成する工程を、酸化モリブデンクロムを含む被覆膜を形成する工程とすることが好ましい。

【0016】

被覆膜が絶縁膜を覆っている場合、被覆膜をエッティングすることによって、絶縁膜の一部が露出する。このときに、被覆膜だけでなく絶縁膜も一緒にエッティングされてしまうと、絶縁膜が損傷を受け、絶縁膜の機能に悪影響を与える恐れがある。従って、被覆膜の材料のエッティング速度と、絶縁膜の材料のエッティング速度との比（エッティング選択比）は、十分大きいことが要求される。この目的を達成するためには、絶縁膜の材料に、例えば窒化シリコン又は二酸化シリコンが使用されている場合は、被覆膜の材料としては酸化モリブデンクロムを好適に使用することができる。エッティング選択比の違いのため、酸化モリブデンクロムを除去することによって窒化シリコン又は二酸化シリコンが露出しても、窒化シリコン又は二酸化シリコンはほとんどエッティングされない。従って、絶縁膜の機能を

良好に保つことができる。

【0017】

また、本発明の第2の導電部装置製造方法は、互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導電部所有体であって、上記複数の導電部が表面に露出した導電部所有体を形成する工程と、上記導電部所有体の表面に反射体の下地層を形成する工程とを有する導電部装置製造方法であって、上記導電部所有体を形成する工程が、上記複数の導電部に電気的に接続された犠牲電極を有する上記導電部所有体であって、上記犠牲電極が表面に露出した上記導電部所有体を形成する工程であり、

上記下地層は、その表面に凹部又は凸部を有し、上記下地層を形成する工程が

上記導電部所有体の上記表面に感光性膜を形成する工程と、上記感光性膜を、上記凹部又は凸部のパターンに対応するパターンに露光する工程と、上記露光された感光性膜を現像する工程と、上記現像された感光性膜をベーリングする工程とを有することを特徴とする。

【0018】

本発明の第2の導電部装置製造方法では、導電部所有体の表面に露出している複数の導電部は、互いに異なる平衡電極電位を有する金属又は金属化合物を含有している。更に、このような複数の導電部が表面に露出した導電部所有体に、感光性膜が形成される。従って、この感光性膜を現像することによって感光性膜の一部が除去され、この結果複数の導電部が現像液に接触してしまうと、これら複数の導電部がアノード又はカソードとして作用し電池反応が生じる。導電部においてこの電池反応が促進すると、導電部自体が損傷を受けたり、感光性膜が必要以上に除去される恐れがある。従って、導電部では、電池反応はできるだけ促進されないようにすることが望まれる。そこで、本発明の第2の導電部装置製造方法では、導電部所有体は、上記複数の導電部に電気的に接続された犠牲電極を備えており、この導電部所有体の表面には犠牲電極が露出している。導電部所有体の表面に犠牲電極が露出しているため、この導電部所有体に感光性膜を形成し、この感光性膜を現像すると、複数の導電部だけでなく犠牲電極も露出し、犠牲電

極が一時的に現像液に接触する。従って、感光性膜を現像することによって複数の導電部が現像液に接触したとしても、犠牲電極も現像液に接触しているため、この複数の導電部だけでなく犠牲電極もアノード又はカソードとして作用し、この結果、複数の導電部だけでなく犠牲電極でも電池反応が起きる。本発明の第2の導電部装置製造方法において、もし犠牲電極を形成しないと仮定すると、電池反応の起こる場所は複数の導電部にだけ集中するが、実際は犠牲電極を備えているため、電池反応の起こる場所を複数の導電部だけでなく犠牲電極にも分散させることができる。この結果、複数の導電部での電池反応は促進されにくくなり、感光性膜が必要以上に除去されたり、導電部が損傷を受けることを防止することができる。

【0019】

ここで、本発明の第2の導電部装置製造方法は、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの少なくとも2つ以上の導電部が積層されるように、上記少なくとも2つ以上の導電部を形成することができる。上記少なくとも2つ以上の導電部は、例えば、ゲート電極若しくはゲートバス、又はソース電極若しくはソースバスを構成することができる。この場合、上記少なくとも2つ以上の導電部のうちの1つの導電部が、上記金属又は金属化合物としてモリブデンを有し、上記少なくとも2つ以上の導電部のうちの別の導電部が、上記金属又は金属化合物としてアルミニウムを有することができる。

【0020】

また、本発明の第2の導電部装置製造方法は、上記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と、上記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部とを有する第1の導電積層体を形成する工程と、上記支持体上に上記犠牲電極を形成する工程と、上記第1の導電積層体と上記犠牲電極とが形成された支持体上に絶縁膜を形成する工程と、上記1つの導電部の第1の部分と、上記1つの導電部の第2の部分又は上記低抵抗用導電部とが露出するとともに、上記犠牲電極接続部と上記犠牲電極本体部とが露出するよう、上記絶縁膜をパターニングする工程と、上記パターニングされた絶縁膜が設

けられた支持体上に、上記1つの導電部の第2の部分又は上記低抵抗用導電部を通じて上記1つの導電部の第1の部分に電気的に接続され、且つ上記犠牲電極接続部を通じて上記犠牲電極本体部に電気的に接続されるように、上記複数の導電部のうちの残りの導電部を形成する工程とを有することができる。この場合、上記犠牲電極を形成する工程は、上記第1の導電積層体を形成する工程と同一の工程で行なうことができる。

【0021】

また、本発明の第2の導電部装置製造方法は、上記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と、上記1つの導電部の少なくとも第1の部分及び第2の部分を覆う、抵抗を低くするための低抵抗用導電部とを有する第2の導電積層体を形成する工程と、上記支持体上に、上記犠牲電極と、上記犠牲電極の上記犠牲電極本体部を覆う犠牲電極本体被覆部とを有する犠牲電極積層体を形成する工程と、上記第2の導電積層体と上記犠牲電極積層体とが形成された支持体上に絶縁膜を形成する工程と、上記1つの導電部の第1の部分を覆う上記低抵抗用導電部の第1の部分と、上記1つの導電部の第2の部分を覆う上記低抵抗用導電部の第2の部分とが露出するとともに、上記犠牲電極接続部と上記犠牲電極本体被覆部とが露出するように、上記絶縁膜をパターニングする工程と、

上記パターニングされた絶縁膜が設けられた支持体上に、上記低抵抗用導電部の第2の部分を通じて上記1つの導電部の第1の部分に電気的に接続され、且つ上記犠牲電極接続部を通じて上記犠牲電極本体部に電気的に接続されるように、上記複数の導電部のうちの残りの導電部を形成する工程と、上記低抵抗用導電部の第1の部分と上記犠牲電極本体被覆部とを除去する工程とを有することができる。この場合、上記犠牲電極積層体を形成する工程を、上記第2の導電積層体を形成する工程と同一の工程で行なうことができる。

【0022】

また、本発明の第2の導電部装置製造方法は、上記犠牲電極が犠牲電極本体部と犠牲電極接続部とを有し、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と上記犠牲電極接続部を通じて上記1つ

の導電部に繋がる上記犠牲電極本体部とを有する犠牲電極本体部所有層と、上記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部とを有する第3の導電積層体を形成する工程と、上記第3の導電積層体が形成された支持体上に絶縁膜を形成する工程と、上記1つの導電部の第1の部分と上記犠牲電極本体部と上記低抵抗用導電部とが露出するように、上記絶縁膜をパターニングする工程と、上記パターニングされた絶縁膜が設けられた支持体上に、上記低抵抗用導電部を通じて上記1つの導電部の第1の部分と上記犠牲電極本体部とに電気的に接続されるように、上記複数の導電部のうちの残りの導電部を形成する工程とを有することができる。

【0023】

また、上記導電部所有体を形成する工程が、支持体上に、上記複数の導電部のうちの1つの導電部と上記犠牲電極接続部を通じて上記1つの導電部に繋がる上記犠牲電極本体部とを有する犠牲電極本体部所有層と、上記1つの導電部の少なくとも第1の部分及び第2の部分と上記犠牲電極の犠牲電極本体部とを覆う、抵抗を低くするための低抵抗用導電部とを有する第4の導電積層体を形成する工程と、上記第4の導電積層体が形成された支持体上に絶縁膜を形成する工程と、

上記1つの導電部の第1の部分を覆う上記低抵抗用導電部の第1の部分と、上記1つの導電部の第2の部分を覆う上記低抵抗用導電部の第2の部分と、上記犠牲電極本体部を覆う上記低抵抗用導電部の犠牲電極本体被覆部とが露出するよう、上記絶縁膜をパターニングする工程と、上記パターニングされた絶縁膜が設けられた支持体上に、上記低抵抗用導電部の第2の部分を通じて上記1つの導電部の第1の部分と上記犠牲電極本体部とに電気的に接続されるように、上記複数の導電部のうちの残りの導電部を形成する工程と、上記低抵抗用導電部の第1の部分と上記低抵抗用導電部の上記犠牲電極本体被覆部とを除去する工程とを有するものであってもよい。

【0024】

この場合、上記1つの導電部の第1の部分がゲート端子を構成するとともに上記残りの導電部がゲートバスの本体部を構成することができ、又は、上記1つの導電部の第1の部分がソース端子を構成するとともに上記残りの導電部がE S D

トランジスタのゲート電極を構成することができる。ここで、上記1つの導電部が上記金属又は金属酸化物として酸化インジウムを含有し、上記残りの導電部のうちの1つの導電部が、上記金属又は金属酸化物としてアルミニウムを含有し、上記残りの導電部のうちの別の導電部が上記金属又は金属酸化物としてモリブデンを含有することができる。

【0025】

上記1つの導電部が上記金属又は金属酸化物として酸化インジウムを含有する場合、上記犠牲電極も酸化インジウムを含有することが好ましい。これによって、犠牲電極を、上記1つの導電部と同じ材料から形成することができ、製造工程の簡略化が図られる。上記1つの導電部及び上記犠牲電極の材料としてITO又はIZOを用いる場合、上記1つの導電部及び上記犠牲電極は、酸化インジウムを含有する。

【0026】

また、本発明の第3の導電部装置製造方法は、第1の金属又は金属化合物を有する第1の導電部と、上記第1の導電部に電気的に接続された導電膜とを有する導電膜所有体を形成する工程と、上記第2の金属又は金属化合物を含有する第2の導電部であって、上記第1の導電部に電気的に接続された第2の導電部が形成されるとともに、上記第1の導電部の第1の部分が露出するように、上記導電膜をウエットエッティングする工程とを有する導電部装置製造方法であって、上記ウエットエッティング工程が、上記第2の導電部の他に、上記第1の導電部に電気的に接続された犠牲電極が形成されるように、上記導電膜をウエットエッティングすることを特徴とする。

【0027】

本発明の第3の導電部装置製造方法では、ウエットエッティング工程によって、導電膜から第2の導電部が形成されるとともに、第1の導電部が露出する。従って、第2の導電部だけでなく第1の導電部もエッティング液に接触し、第1及び第2の導電部がアノード又はカソードとなって電池反応が生じる場合がある。この電池反応が生じると、第2の導電部の材料のエッティング速度が速くなり、第2の導電部を所望の寸法にすることが困難になる。従って、第2の導電部が所望の寸

法を有することができるよう、電池反応はできるだけ促進されないことが望まれる。そこで、本発明の第3の導電部装置製造方法では、上記ウエットエッティング工程が、上記第2の導電部の他に、上記第1の導電部に電気的に接続された犠牲電極が形成されるように、上記導電膜をウエットエッティングしている。第2の導電部の他に犠牲電極を形成するため、導電膜をウエットエッティングすることによって、第1及び第2の導電部だけでなく犠牲電極も一時的にエッティング液に接触した状態となる。従って、第1及び第2の導電部だけでなく犠牲電極もアノード又はカソードとして作用するため、第1及び第2の導電部だけでなく犠牲電極でも電池反応が起き、電池反応の起こる場所を第1及び第2の導電部だけでなく犠牲電極にも分散させることができる。この結果、第2の導電部での電池反応は促進されにくくなり、導電膜を、所望の形状を有する第2の導電部が形成されるように容易にウエットエッティングすることができる。

【0028】

ここで、本発明の第3の導電部装置製造方法は、上記導電膜所有体を形成する工程が、支持体上に、上記第1の導電部を形成する工程と、上記第1の導電部が形成された支持体上に第1の絶縁膜を形成する工程と、上記第1の導電部の上記第1の部分と、上記第2の導電部に接続される上記第1の導電部の第1の接続部と、上記犠牲電極に接続される上記第1の導電部の第2の接続部とが露出するように上記第1の絶縁膜をパターニングする工程と、上記第1の導電部の上記第1及び第2の接続部を通じて上記第1の導電部の第1の部分に電気的に接続される上記導電膜を形成する工程とを有し、上記ウエットエッティング工程を、上記第1の導電部の第1の接続部を通じて上記第1の導電部の第1の部分に電気的に接続された上記第2の導電部と、上記第1の導電部の第2の接続部を通じて上記第1の導電部の第1の部分に電気的に接続された犠牲電極とが形成されるとともに、上記第1の導電部の第1の部分が露出するように、上記導電膜をウエットエッティングする工程とができる。この場合、上記導電膜所有体を形成する方法が、上記第1の導電部を形成する工程に代えて、上記支持体上に、第3の導電部と、上記第3の導電部を覆う上記第1の導電部とを有する第5の導電積層体を形成する工程を有し、上記導電部装置製造方法が、上記第3の導電部の少なくとも

一部が露出するように、上記ウエットエッティング工程により露出した第1の導電部の第1の部分を除去する工程を有していてもよい。

【0029】

また、本発明の第3の導電部装置製造方法は、上記導電膜所有体を形成する工程が、上記第1の絶縁膜を形成した後、上記第1の絶縁膜をパターニングする工程の前に、上記第1の絶縁膜上に第4の導電部を形成する工程と、上記第4の導電部が形成された支持体上に、第2の絶縁膜を形成する工程と、上記第4の導電部の第1の部分が露出するとともに、上記第1の導電部の第1の部分に対応する上記第1の絶縁膜の第1の部分と、上記第1の導電部の第1の接続部に対応する上記第1の絶縁膜の第2の部分と、上記第1の導電部の第2の接続部に対応する上記第1の絶縁膜の第3の部分とが露出するように、上記第2の絶縁膜をパターニングする工程とを有し、上記導電膜を形成する工程が、上記第1の導電部の第1及び第2の接続部を通じて上記第1の導電部の第1の部分に電気的に接続され且つ上記第4の導電部の第1の部分を通じて上記第4の導電部に電気的に接続される上記導電膜を形成する工程であり、上記ウエットエッティング工程を、上記第1の導電部の第1の接続部を通じて上記第1の導電部の第1の部分に電気的に接続され且つ上記第4の導電部の第1の部分を通じて上記第4の導電部に電気的に接続された上記第2の導電部と、上記第1の導電部の第2の接続部を通じて上記第1の導電部の第1の部分に電気的に接続された犠牲電極とが形成されるように上記導電膜をウエットエッティングする工程とすることができる。この場合、上記第3の導電部の一部がゲート端子を構成し、上記第1の導電部の除去されない部分はゲートバスの端部を構成し、上記第4の導電部が上記ゲートバスの本体部を構成し、上記第2の導電部が、上記ゲートバスの端部と上記ゲートバスの本体部とを電気的に接続するためのゲートバスの架橋部を構成することができる。ここで、上記第1の金属又は金属化合物がモリブデンであり、上記第2の金属又は金属化合物が銀又は銀合金とすることができます。

【0030】

また、本発明の第1の導電部装置は、互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導

電部所有体と、上記導電部所有体に形成された下地層と、上記下地層の表面に形成された、複数の凹部又は凸部を有する反射体とを有する導電部装置であって、上記下地層が、上記複数の凹部又は凸部に対応する位置に設けられた被覆部と、感光性材料により形成された、上記被覆部を覆う下地層本体とを有することを特徴とする。

【0031】

ここで、本発明の第1の導電部装置は、上記導電部所有体が、支持体と、上記支持体上に形成された絶縁膜とを有し、上記絶縁膜の上に、上記複数の導電部のうちの少なくとも2つ以上の導電部が積層されるように形成されたものとすることができる。上記少なくとも2つ以上の導電部は、ゲート電極若しくはゲートバス、又はソース電極若しくはソースバスを構成することができる。この場合、上記少なくとも2つ以上の導電部のうちの1つの導電部が、上記金属又は金属化合物としてモリブデンを有し、上記少なくとも2つ以上の導電部のうちの別の導電部が、上記金属又は金属化合物としてアルミニウムを有することができる。

【0032】

また、上記導電部所有体が、支持体と、上記複数の導電部のうちの1つの導電部を残りの導電部に電気的に接続するための導電部用の孔を有する絶縁膜とを有し、上記1つの導電部が上記絶縁膜の下に形成されるとともに、上記残りの導電部が上記絶縁膜の上に形成され、上記1つの導電部が上記導電部用の孔を通じて上記残りの導電部に電気的に接続されるようにすることができる。この場合、上記1つの導電部の一部がゲート端子を構成するとともに上記残りの導電部がゲートバスの本体部を構成し、又は上記1つの導電部の一部がソース端子を構成するとともに上記残りの導電部がE S Dトランジスタのゲート電極を構成することができる。上記1つの導電部は上記金属又は金属酸化物として酸化インジウムを含有し、上記残りの導電部のうちの1つの導電部は、上記金属又は金属酸化物としてアルミニウムを含有し、上記残りの導電部のうちの別の導電部は上記金属又は金属酸化物としてモリブデンを含有することができる。

【0033】

上記絶縁膜が窒化シリコン又は二酸化シリコンを有する場合、上記被覆膜は酸

化モリブデンクロムを有することが好ましい。

【0034】

また、本発明の第2の導電部装置は、互いに異なる平衡電極電位を有する金属又は金属化合物を含有し且つ互いに電気的に接続された複数の導電部を有する導電部所有体と、上記導電部所有体に形成された下地層と、上記下地層の表面に形成された、複数の凹部又は凸部を有する反射体とを有する導電部装置であって、

上記導電部所有体が、上記複数の導電部に電気的に接続された犠牲電極を有することを特徴とする。

【0035】

ここで、本発明の第2の導電部装置は、上記導電部所有体が、支持体と、上記複数の導電部のうちの1つの導電部を残りの導電部に電気的に接続するための導電部用の孔と、上記犠牲電極を上記残りの導電部に電気的に接続するための犠牲電極用の孔とを有する絶縁膜とを有し、上記1つの導電部と上記犠牲電極とが上記絶縁膜の下に形成されるとともに、上記残りの導電部が上記絶縁膜の上に形成され、上記1つの導電部が上記導電部用の孔を通じて上記残りの導電部に電気的に接続されるとともに、上記犠牲電極が上記犠牲電極用の孔を通じて上記残りの導電部に電気的に接続されたものとすることができる。

【0036】

また、上記導電部所有体が、支持体と、上記複数の導電部のうちの1つの導電部を残りの導電部に電気的に接続するための導電部用の孔を有する絶縁膜とを有し、上記1つの導電部と上記犠牲電極とが上記絶縁膜の下に形成されるとともに、上記残りの導電部が上記絶縁膜の上に形成され、上記1つの導電部が上記導電部用の孔を通じて上記残りの導電部に電気的に接続され、上記犠牲電極が上記1つの導電部に繋がるように形成されたものとすることもできる。

【0037】

また、本発明の第2の導電部装置は、上記導電部所有体が、上記1つの導電部の一部を覆う、抵抗を低くするための低抵抗用導電部を有することが好ましい。

【0038】

また、本発明の第3の導電部装置は、第1の金属又は金属化合物を有する、抵

抗を低くするための低抵抗用導電部と、上記第2の金属又は金属化合物を含有する第2の導電部であって、上記低抵抗用導電部に電気的に接続された第2の導電部と、上記低抵抗用導電部に電気的に接続された犠牲電極とを有することを特徴とする。

【0039】

ここで、本発明の第3の導電部装置は、上記導電部装置が、上記低抵抗用導電部の第1の部分を上記第2の導電部に電気的に接続するための第1の孔と、上記低抵抗用導電部の第2の部分を上記犠牲電極に電気的に接続するための第2の孔とを有する第1の絶縁膜を有し、上記低抵抗用導電部が上記第1の絶縁膜の下に形成されるとともに、上記第2の導電部及び上記第1の犠牲電極が上記第1の絶縁膜の上に形成され、上記低抵抗用導電部が、上記第1の孔を通じて上記第2の導電部に電気的に接続されるとともに、上記第2の孔を通じて上記犠牲電極に電気的に接続されたものとすることができます。ここで、上記導電部装置は、上記第1の絶縁膜の上に形成された第4の導電部と、上記第4の導電部を上記第2の導電部に電気的に接続するための第3の孔、上記第1の絶縁膜の第1の孔に連通する第1の連通孔、及び上記第1の絶縁膜の第2の孔に連通する第2の連通孔を有する第2の絶縁膜とを有し、上記低抵抗用導電部が、上記第3の孔を通じて上記第4の導電部に電気的に接続され、且つ上記第1の孔及び上記第2の連通孔を通じて上記第2の導電部に電気的に接続されるとともに、上記第2の孔及び上記第2の連通孔を通じて上記犠牲電極に電気的に接続されたものとすることができます。上記低抵抗用導電部はゲートバスの端部を構成し、上記第4の導電部が上記ゲートバスの本体部を構成し、上記第2の導電部が、上記ゲートバスの端部と上記ゲートバスの本体部とを電気的に接続するためのゲートバスの架橋部を構成することができる。この場合、上記第1の金属又は金属化合物がモリブデンであり、上記第2の金属又は金属化合物が銀又は銀合金とすることができます。

【0040】

【発明の実施の形態】

以下、本発明の実施形態について、液晶表示装置に用いられるTFTアレイ基板を製造する場合を取り上げて説明するが、本発明は、液晶表示装置に用いられ

るTFTアレイ基板以外にも適用することができる。

【0041】

[実施形態1]

図1は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明の第1実施形態のTFTアレイ基板20の一部平面図、図2は、図1のI-I方向から見た断面図である。尚、本実施形態では、反射型の液晶表示装置について説明しているが、例えば半透過型の液晶表示装置にも適用することができる。

【0042】

図1及び図2の左側はTFT及び反射電極13（本発明にいう反射体に相当する）等が形成される表示領域であり、図1及び図2の右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

【0043】

以下、図1及び図2に示すTFTアレイ基板20の製造方法について説明する。

【0044】

先ずガラス基板1（本発明にいう支持体に相当する）上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバスの端部51及びゲート端子6を形成する（図3参照）。

【0045】

図3は、ソースバス3及びゲートバスの端部51等が形成された基板の一部平面図、図4は、図3のII-II方向から見た断面図である。

【0046】

図3に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域にはゲート端子6とゲートバスの端部（以下、「ゲートバス端部」という）51とが形成されている。ゲート端子6はゲートバス端部51に繋がるように形成されている。ゲートバス端部51は、後述するゲートバス5の本体部510

(図10参照)に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有する。ソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、ITOを含有するITO部25とMoCrを含有するMoCr部26との積層構造を有している。このような積層構造のソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、基板1上にMoCr膜/ITO膜の積層膜を形成し、この積層膜をパターニングすることにより形成されている。このように、これらゲートバス端部51等をITO部25の単層構造ではなく、ITO部25とMoCr部26との積層構造とすることによって、これらゲートバス端部51等の抵抗を低くすることができる。ここでは、ゲートバス端部51の接続部51a及び51cはITO部25とMoCr部26(本発明にいう低抵抗用導電部に相当する)との積層構造を有しているが、接続部51a及び51cをITO部25のみの単層構造としてもよい。この場合、ゲートバス端部51の接続部51a及び51cがITO部25のみの単層構造であっても、ゲートバス端部51の延長部51bをITO部25とMoCr部26との積層構造とすることによって、ゲートバス端部51自体の抵抗値を十分に低くすることができる。ただし、十分に低い抵抗値が得られるのであれば、ゲートバス端部51等はITO部25のみの単層構造であってもよい。

【0047】

また、ゲート端子6はゲートバス端部51に繋がるように形成されているが、このゲート端子6はMoCr部26の一部分26a(図3にクロスハッチングで示されている部分)で覆われていることに注意されたい。ゲート端子6にとってこのMoCr部26の一部分26a(以下、MoCr不要部26aと呼ぶ)は不要であり、このため、このMoCr不要部26aは除去されなければならない。しかしながら、図3及び図4に示す状態においてMoCr不要部26aを除去しようとすると、MoCr不要部26aを除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずにTFTアレイ基板が製造できるように、MoCr不要部26aを直ぐに除去するのではなく、先にa-Si層及びゲート絶縁膜を形成する。尚、ITO部25とMoCr部26との積層体 α 1(図4参照)は、ゲート端部51、ゲート端子6及びM

○Cr不要部26aを構成しており、この積層体 α 1が本発明にいう第2の導電積層体に相当する。

【0048】

図5は、a-Si層7及びゲート絶縁膜8が形成された基板の一部平面図、図6は、図5のIII-III方向の断面図である。

【0049】

a-Si層7を形成した後、ゲート絶縁膜8が形成される。このゲート絶縁膜8は、孔8a、8b及び8cを有する。孔8aはドレン電極4を露出するための孔である。孔8bは、ゲートバス端部51の接続部51aを露出するための孔である（この孔8bから露出したMoCr部26の部分が、本発明にいう「低抵抗用導電部の第2の部分」に相当する）。孔8cは、ゲート端子6を覆っているMoCr不要部26a（本発明にいう「低抵抗用導電部の第1の部分」に相当する）を露出するための孔である。尚、孔8bが、本発明にいう「導電部用の孔」に相当する。

【0050】

ゲート絶縁膜8を形成した後、ゲート電極等の材料を用いて導電積層膜を形成する（図7参照）。

【0051】

図7は、導電積層膜93が形成された基板の断面図である。

【0052】

ここでは、導電積層膜93は、Crが添加されMoを主成分とする材料からなる膜（以下、MoCr膜と呼ぶ）91と、Cuが添加されAlを主成分とする材料からなる膜（以下、AlCu膜と呼ぶ）92とから構成される。このようにMoCr膜91とAlCu膜92とを形成した後、これらの膜91及び92はリソグラフィ技術によってパターニングされる（図8参照）。

【0053】

図8は、MoCr膜91とAlCu膜92とがパターニングされた直後の基板の一部平面図、図9は、図8に示すIV-IV方向の断面図である。

【0054】

図8及び図9には、導電積層膜93（図7参照）をパターニングするためのレジスト膜Resが図示されている。レジスト膜Resを形成した後に導電積層膜93をウエットエッティングすることによって、レジスト膜Resの下にはゲート電極9とゲートバスの本体部（以下、「ゲートバス本体部」と呼ぶ）510とが形成される。また、導電積層膜93（図7参照）をウエットエッティングすることによって、導電積層膜93の不要な部分が除去され、この結果、MoCr不要部26aが露出する。先に説明したように、このMoCr不要部26aはゲート端子6には不要であるので、MoCr不要部26aが露出したら、レジスト膜Resを剥離する前に、このMoCr不要部26aも一緒にウエットエッティングする（図10参照）。

【0055】

図10は、MoCr不要部26aがウエットエッティングされた後の基板を示す断面図である。

【0056】

MoCr不要部26aをウエットエッティングすることにより、ゲート端子6を露出させることができる。また、MoCr不要部26aをウエットエッティングすることによって、このMoCr不要部26aと同じ材料であるドレイン電極4のMoCr部26の一部もウエットエッティングされる。ウエットエッティングが終了した後、レジスト膜Resが剥離され、図11に示す導電部所有体Aが製造される。図11に示す導電部所有体Aが本発明にいう導電部所有体に相当する。

【0057】

尚、ここでは、ゲート端子6を露出するために、MoCr不要部26aを除去する前にゲート絶縁膜8を形成し（図5及び図6参照）、導電積層膜93をウエットエッティングする工程でMoCr不要部26aのウエットエッティングも一緒にを行うことによって、ゲート端子6を露出させている。しかしながら、ゲート絶縁膜8を形成する前に、図4に示す積層体 α 1のMoCr不要部26aを除去してゲート端子6を露出させておいてもよい（尚、ゲート絶縁膜8を形成する前に積層体 α 1からMoCr不要部26aが除去された積層体が、本発明にいう第1の導電積層体に相当する）MoCr不要部26aを除去しておくことによって、ゲ

ート端子6を露出させておいてもよい。ただし、ゲート絶縁膜8を形成する前に、ゲート端子6を露出させる場合は、製造工程が増加するので、図3乃至図10を参照しながら説明したように、導電積層膜93をウエットエッティングする工程で、MoCr不要部26aのウエットエッティングも行うことが好ましい。

【0058】

図11に示すように、レジスト膜Res2を剥離した後、反射電極を形成する前に、この反射電極に所望の反射特性を持たせるための下地層を形成する。しかしながら、この下地層を従来のやり方で形成すると以下のようないわゆる問題が生じる。この問題について、図12乃至図16を参照しながら説明する。

【0059】

図12は、従来のやり方で形成された下地層及びその下地層の上に形成された反射電極13が設けられた基板の断面図である。

【0060】

下地層は、感光性樹脂を材料として形成された多数の突起11と、この突起11を覆うように形成された平坦化膜12とから構成される。平坦化膜12の下に多数の突起11が存在しているため、この平坦化膜12の表面に凹凸が設けられる。平坦化膜12の表面にこのような凹凸を設けておくことによって、反射電極13の表面にも凹凸を設けることができ、この結果、反射電極13の反射特性を向上させることができるとなる。以下に、突起11をどのようにして形成しているかについて、図13及び図14を参照しながら説明する。

【0061】

図13は、感光性膜が形成された基板の断面図、図14は、図13に示す感光性膜を現像した直後の基板の断面図である。

【0062】

図12に示す突起11を形成するためには、先ず、ゲート電極9が形成された基板の表面に感光性樹脂を塗布し、塗布した感光性樹脂をプリベークすることによって感光性膜110を形成する。その後、感光性膜を突起11に対応する部分が残るように露光及び現像する。感光性膜110をこのように露光及び現像することにより、断面が略矩形状の多数の突起110'が形成される（図14参照）

。多数の突起110'の形成後、この突起110'をポストベークすることにより、突起110'の材料である感光性樹脂が溶融し、断面がドーム形状の多数の突起11（図12参照）が形成される。しかしながら、上記のやり方で突起11を形成しようとすると、突起110'が所望の寸法よりも小さくなるという問題や、ゲート端子6の抵抗値が高くなってしまうという問題が生じる。以下に、突起110'が所望の寸法よりも小さくなる理由を図15を参照しながら考察し、次に、ゲート端子6の抵抗値が高くなってしまう理由を図16を参照しながら考察する。

【0063】

図15は、図14に示す領域R1の拡大図である。

【0064】

感光性膜110（図13参照）から多数の突起110'（図14参照）を形成するためには、感光性膜110の不要な部分を除去する必要がある。この目的のため、感光性膜110の不要な部分は、現像工程において現像液により除去される。このように感光性膜110の不要な部分が現像液によって除去されると、ゲート電極9が露出し、ゲート電極9が一時的に現像液に浸された状態になる。ゲート電極9はMoCr膜91'及びAlCu膜92'から構成されているため、多量のAl及びMoを含有している。Al及びMoの平衡電極電位は式（1）の関係で表される。

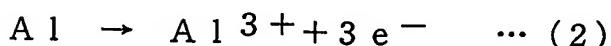
【0065】

$$Al < Mo \quad \dots (1)$$

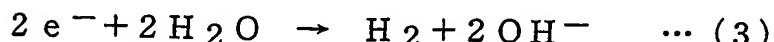
【0066】

MoCr膜91'及びAlCu膜92'が現像液に接触すると、現像液は電解質溶液であることから、反応式（2）及び（3）で表される電池反応が起きると考えられる。

【0067】



【0068】



【0069】

A1の平衡電極電位はMoの平衡電極電位よりも小さいため、AlCu膜92'はアノードとして作用し、電子(e-)を放出する反応式(2)が優先的に生じると考えられる。一方、MoCr膜91'はカソードとして作用し、電子を受け取る反応式(3)が優先的に生じると考えられる。尚、反応式(3)の左辺のH₂Oは現像液の主成分であるH₂Oを表す。

【0070】

反応式(2)の反応が起こることによって、Al³⁺が発生するとともに電子(e-)が発生する。発生した電子の一部は、AlCu膜92'からMoCr膜91'を経由して現像液中のH₂Oと反応し、この結果、反応式(3)に示すように、H₂とともにOH⁻が生じる。このように反応式(3)で表される反応が生じた場合、OH⁻が生じるため、MoCr膜91'の近傍はアルカリ濃度が高くなる。このようにアルカリ濃度が高くなると、現像液が感光性膜110を除去するスピードは速くなるため、MoCr膜91'の近傍では、感光性樹脂の除去が加速度的に進行する。この結果、MoCr膜91'の近傍に位置する突起110'の材料が必要以上に除去され、所望の寸法より小さくなると考えられる。

【0071】

また、周辺領域では、以下のような現象が生じると考えられる。

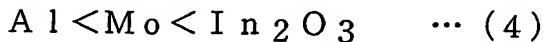
【0072】

図16は、図14に示す領域R2の拡大図である。

【0073】

感光性膜110を現像すると、周辺領域では、突起110'が形成される一方で、ゲートバス本体部510及びゲート端子6が露出する。従って、周辺領域側では、ゲートバス本体部510とゲート端子6とが一時的に現像液に浸された状態になる。ゲートバス本体部510はMoCr膜91'及びAlCu膜92'（図8参照）から構成されているため多量のAl及びMoを含んでおり、一方、ゲート端子6の材料にはITOが用いられているためゲート端子6にはIn₂O₃が含まれている。これらAl、Mo及びIn₂O₃の平衡電極電位の大きさは（4）式で表される。

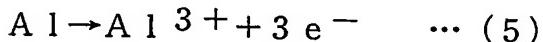
【0074】



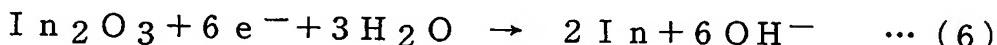
【0075】

(4) 式で表されるように、平衡電極電位が最も小さいのは Al であり、平衡電極電位が最も大きいのは In₂O₃ である。従って、ゲートバス本体部 510 とゲート端子 6 とが現像液に浸された状態になることにより、反応式 (5) 及び (6) で表される電池反応が生じると考えられる。

【0076】



【0077】



【0078】

平衡電極電位が最も小さいのは Al であり、平衡電極電位が最も大きいのは In₂O₃ であるため、Al Cu 膜 92' 側では反応式 (5) が優先的に生じ、ITO 側（即ち、ゲート端子 6 側）では反応式 (6) が優先的に生じると考えられる。

【0079】

(5) の反応が起こることによって、Al³⁺ が発生するとともに電子 (e⁻) が発生する。この発生した電子の一部は、Al Cu 膜 92' から Mo Cr 膜 91' を経由してゲート端子 6 に流入する。このゲート端子 6 に流入した e⁻ によって、ゲート端子 6 において、反応式 (6) に示すように In₂O₃ から In が生成される反応が生じる。このような In の生成はゲート端子 6 の損傷を引き起こし、この結果ゲート端子 6 の抵抗値が高くなると考えられる。

【0080】

上記の考察から、本願発明者は、突起 110' 自体が剥離してしまう原因は反応式 (2) 及び (3) が起きるためであり、一方、ゲート端子 6 の抵抗値が高くなってしまう原因は反応式 (5) 及び (6) が起きるためであると考えた。そこで、第 1 実施形態では、反応式 (2)、(3)、(5) 及び (6) が起きないように、以下の様にして下地層を形成している。この下地層の形成方法について図

17乃至図22を参照しながら説明する。

【0081】

図17は、被覆膜が形成された基板を示す断面図である。

【0082】

第1実施形態では、感光性膜110（図13参照）を形成する前に、被覆膜100を形成する。この被覆膜100は、ゲート電極9、ゲートバス本体部510及びゲート端子6が形成された基板1の全面を覆うように形成される。被覆膜100を形成した後に、感光性膜110を形成する（図18参照）。

【0083】

図18は、感光性膜110が形成された基板の断面図である。

【0084】

この感光性膜110は、感光性樹脂を塗布し、この塗布した感光性樹脂をブリペークすることによって形成される。感光性膜110を形成した後、この感光性膜110を露光及び現像する（図19参照）。

【0085】

図19は、感光性膜110が現像された後の基板の断面図である。

【0086】

感光性膜110は、略円柱形状の多数の突起110'が形成されるように露光及び現像される。ゲート電極9及びゲートバス本体部510は被覆膜100で覆われているため、感光性膜110を現像している間に、ゲート電極9及びゲートバス本体部510が含む金属Mo及びAlが現像液に浸されることが防止される。従って、反応式（2）及び（3）が起こることが確実に防止され、この結果、現像液によって突起110'の材料が必要以上に除去されることが確実に防止される。

【0087】

また、ゲートバス本体部510及びゲート端子6は被覆膜100で覆われているため、感光性膜110を現像している間に、ゲートバス本体部510に含有されるMo及びAl並びにゲート端子6に含有されるIn₂O₃が現像液に浸されることが防止される。従って、反応式（5）及び（6）が起こることが確実に防

覆膜100の直下に存在するゲート絶縁膜8の材料と同じ材料にしてしまうと、被覆膜100をエッティングすることによって、被覆膜100だけでなく、エッティングされなければならないゲート絶縁膜8もエッティングされてしまい、TFT等の信頼性が低下する恐れがある。従って、被覆膜100の材料のエッティング速度と、ゲート絶縁膜8の材料のエッティング速度との比（エッティング選択比）は、十分大きいことが要求される。このエッティング選択比が十分大きければ、被覆膜100をオーバエッティングしても、ゲート絶縁膜8がほとんどエッティングされないようにすることができる。例えば、ゲート絶縁膜8の材料がSiNx又はSiO₂の場合、被覆膜100の材料は例えば酸化モリブデンクロムが好ましい。

【0093】

被覆膜100をエッティングした後、平坦化膜12を形成する（図22参照）。

【0094】

図22は、平坦化膜12が形成された基板の断面図である。

【0095】

この平坦化膜12は、ドレイン電極4の一部を露出させるための孔12aを有する。平坦化膜12の下には多数の突起11が存在しているため、この平坦化膜12の表面には、多数の突起11の形状を反映して多数の凹凸が形成される。

【0096】

尚、膜片10、突起11及び平坦化膜12を合わせたものが本発明にいう「下地層」に相当し、突起11及び平坦化膜12を合わせたものが本発明にいう「下地層本体」に相当する。

【0097】

下地層を形成した後、Alを主成分とするAl膜を形成し、このAl膜をパターニングすることにより、各画素領域に反射電極13を形成する（図1及び図2参照）。このようにしてTFTアレイ基板20（本発明にいう導電部装置に相当する）が形成される。

【0098】

以上説明したように、本実施形態では、感光性膜110を形成する前に被覆膜100を形成しているため（図17参照）、感光性膜110を現像している間、

ゲート電極9、ゲートバス本体部510及びゲート端子6は被覆膜100によって現像液から保護されている。従って、感光性膜110を現像しても、反応式(2)及び(3)並びに反応式(5)及び(6)が起こることが確実に防止され、突起110'（又は突起11）の材料が必要以上に除去される問題及びゲート端子6の抵抗値が高くなるという問題を回避することができる。

【0099】

尚、第1実施形態では、反応式(2)及び(3)が起きることを防止するために、被覆膜100は、ゲート電極9（及びゲートバス本体部510）を構成するMoCr膜91' とAlCu膜92' との両方を覆うように形成されている。しかしながら、MoCr膜91' とAlCu膜92' との両方を被覆膜100で覆わなくとも、MoCr膜91' とAlCu膜92' とのうちのいずれか一方のみを覆えば、反応式(2)及び(3)が起きることを防止できることに注意されたい。但し、MoCr膜91' とAlCu膜92' とのうちのいずれか一方のみを覆うように被覆膜100を形成するよりも、MoCr膜91' とAlCu膜92' との両方を覆うように被覆膜100を形成する方が容易に行えるため、第1実施形態では、被覆膜100を、MoCr膜91' とAlCu膜92' との両方を覆うように形成している。

【0100】

また、第1実施形態では、反応式(5)及び(6)が起きることを防止するために、被覆膜100は、ゲートバス本体部510とゲート端子6との両方を覆うように形成されている。しかしながら、ゲートバス本体部510とゲート端子6との全てを被覆膜100で覆わなくとも、ゲートバス本体部510とゲート端子6とのうちのいずれか一方のみを覆えば、反応式(5)及び(6)が起きることを防止できることにも注意されたい。

【0101】

更に、第1実施形態では、導電積層膜93をAlCu膜92' / MoCr膜91' の二層構造としているため、ゲート電極9及びゲートバス本体部510は、AlCu膜92' / MoCr膜91' の二層構造を有している。しかしながら、ゲート電極9及びゲートバス本体部510が、AlCu膜92' / MoCr膜91'

の二層構造の代わりに、例えば、AlCu膜/MoCr膜/AlCu膜の三層構造であっても、本発明を適用することができる。このような三層構造であっても、被覆膜100でこの三層構造の積層膜を覆うことによって、やはり、上記の反応式(2)、(3)、(5)及び(6)が起きることを防止できる。

【0102】

また、第1実施形態では、ゲート端子6の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、上記の反応式(2)、(3)、(5)及び(6)が起きることを防止できる。

【0103】

[実施形態2]

図23は、ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第2実施形態のTFTアレイ基板200の一部断面図である。

【0104】

以下、TFTアレイ基板200の製造方法について説明する。

【0105】

先ずガラス基板1（本発明にいう支持体に相当する）上に、ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204を形成する（図24参照）。

【0106】

図24は、ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204が形成された基板を示す断面図である。

【0107】

保護膜204を形成した後、ソース電極等の材料を用いて導電積層膜を形成する。

【0108】

図25は、導電積層膜が形成された基板の断面図である。

【0109】

ここでは、導電積層膜として、ITO膜205とMoCr膜206との積層膜

が形成される。このようにITO膜205とMoCr膜206とを形成した後、これらの層205及び206をウェットエッチングする。

【0110】

図26は、ITO膜205とMoCr膜206とをウェットエッチングした後の基板の断面図である。

【0111】

ITO膜205とMoCr膜206とを連続的にウェットエッチングすることにより、ウェットエッチングされたITO膜205' とMoCr膜206' とかなるソース電極207、ドレイン電極208及びソースバス（図示せず）が形成される。

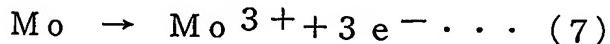
【0112】

このソース電極207、ドレイン電極208及びソースバス（図示せず）を有する導電部所有体Bが、本発明にいう導電部所有体に相当する。

【0113】

このようにソース電極207及びドレイン電極208等を形成した後、反射電極212（本発明にいう反射体に相当する）を形成する前に、反射電極212（図23参照）の下地層を形成する。しかしながら、この下地層を従来のやり方で形成しようとすると、下地層の材料である感光性樹脂を現像している間に、ITO膜205' とMoCr膜206' とが現像液に浸された状態となり、以下に示すような電池反応が生じると考えられる。

【0114】



【0115】



【0116】

Moの平衡電極電位は、In₂O₃の平衡電極電位より小さいため（式（4）参照）、MoCr膜206' 側において電子を生成する反応式（7）が優先的に起こると考えられる。反応式（7）の反応が起こることによって、Mo³⁺が発生するとともに電子（e⁻）が発生する。この発生した電子の一部は、MoCr

膜206'からITO膜205'に到達し、ITO膜205'で反応式(8)に示すような化学反応が起き、この結果Inが生成すると考えられる。このようなInの発生はITO膜205'の抵抗を高くし、結局ソース電極207及びドレイン電極208等を高抵抗にするという問題がある。

【0117】

そこで、第2実施形態では、ソース電極207及びドレイン電極208等を形成した後、感光性樹脂を塗布する前に、第1実施形態と同様に被覆膜を形成する。

【0118】

図27は、被覆膜209が形成された基板を示す断面図である。

【0119】

ゲート絶縁膜202の材料がSiNx又はSiO₂の場合、被覆膜209の材料として、例えば酸化モリブデンクロムが好ましい。被覆膜209を形成した後、図18乃至図20を参照しながら説明したやり方と同様のやり方で、多数の突起を形成する(図28参照)。

【0120】

図28は、多数の突起210が形成された基板を示す断面図である。

【0121】

多数の突起210を形成した後、これらの多数の突起210をエッティングマスクとして被覆膜209をエッティングする。このエッティングによって、図23に示すように、突起210の下に被覆膜209の膜片209'(本発明にいう「被覆部」に相当する)が残る。被覆膜209をエッティングした後、平坦化膜211(図23参照)を形成し、反射電極212が形成される(図23参照)。このようにして、TFTアレイ基板200(本発明にいう導電部装置に相当する)が製造される。尚、膜片209'、突起210及び平坦化膜211を合わせたものが本発明にいう「下地層」に相当し、突起210及び平坦化膜211を合わせたものが本発明にいう「下地層本体」に相当する。

【0122】

第2実施形態においては、突起210の材料である感光性樹脂を塗布する前に

、被覆膜209を形成しているため、突起210の材料である感光性樹脂を現像している間、MoCr膜206'及びITO膜205'が現像液に浸されることで確実に防止される。従って、反応式(7)及び(8)で表される反応は起きず、ITO膜205'が損傷を受けることが防止される。この結果、ソース電極207、ドレイン電極208及びソースバス(図示せず)を低抵抗に保持することができる。

【0123】

また、実施形態2では、反応式(7)及び(8)が起きることを防止するためには、被覆膜209は、ソース電極207等を構成するITO膜205'、とMoCr膜206'との両方を覆うように形成されている。しかしながら、ITO膜205'及びMoCr膜206'の両方を被覆膜209で覆わなくても、ITO膜205'、とMoCr膜206'とのうちのいずれか一方のみを覆えば、反応式(7)及び(8)が起きることを防止することができることに注意されたい。但し、ITO膜205'及びMoCr膜206'とのうちのいずれか一方のみを覆うように被覆膜209を形成するよりも、ITO膜205'、とMoCr膜206'、との両方を覆うように被覆膜209を形成する方が容易に行えるため、第2実施形態では、被覆膜209を、ITO膜205'、とMoCr膜206'、との両方を覆うように形成している。

【0124】

[実施形態3]

図29は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第3実施形態のTFTアレイ基板300の一部平面図、図30は、図29のI—I方向から見た断面図、図31は、図29のII-II方向から見た断面図である。

【0125】

図29の左側はTFT及び反射電極13(本発明にいう反射体に相当する)等が形成される表示領域であり、右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

【0126】

以下、TFTアレイ基板300の製造方法について説明する。

【0127】

先ずガラス基板1（本発明にいう支持体に相当する）上に、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51、ゲート端子6及び犠牲電極60を形成する（図32参照）。

【0128】

図32は、ゲートバス端部51及び犠牲電極60等が形成された基板の一部平面図、図33は、図32のIII-III方向から見た断面図、図34は、図32のIV-IV方向から見た断面図である。

【0129】

図32に示すように、表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成されている。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51、ゲート端子6及び犠牲電極60が形成されている。ゲートバス端部51は、後述するゲートバス本体部510（図40及び図41参照）に直に接続される接続部51aと、この接続部51aからゲート端子6にまで延在する延長部51bとを有している。また、犠牲電極60は、犠牲電極本体部60aと、後述するゲートバス本体部510に接続される犠牲電極接続部60bとを有する。犠牲電極60は、ゲート端子6よりも表示領域に近い位置に形成されている。この犠牲電極60自体は、TFTアレイ基板300の回路動作に寄与するものではない。しかしながら、この犠牲電極60は、TFTアレイ基板300の製造中にゲート端子6が損傷してしまうことを防止する作用を有する。この犠牲電極60がTFTアレイ基板300の製造中にどのようにしてゲート端子6の損傷を防止するかについては後に詳述する。

【0130】

図33に示すように、ソース電極2、ソースバス3、ドレイン電極4、ゲートバス端部51は、ITOを含有するITO部25とMoCrを含有するMoCr部26とからなる積層構造を有している。このように、これらゲートバス端部5

照)を通じてゲートバス端部51の接続部51aに接続されている。ゲートバス端部51とゲートバス本体部510とによってゲートバス5が構成される。また、ゲートバス本体部510は、末端510aから表示領域に向かう途中位置に、幅が広くなっている幅広部510bを有する。この幅広部510bは、ゲート絶縁膜8の孔8b(図36参照)を通じて犠牲電極接続部60bに接続されている。ゲート電極9はゲートバス本体部510に繋がるように形成されている。

【0141】

また、AlCu膜92及びMoCr膜91をウエットエッチングすることにより、ゲート端子6及び犠牲電極本体部60aが露出する。

【0142】

このゲート電極9及びゲートバス本体部510を有し且つゲート端子6及び犠牲電極本体部60aが表面に露出した導電部所有体Cが、本発明にいう導電部所有体に相当する。

【0143】

このようにしてゲート電極9及びゲートバス本体部510を形成した後、反射電極13の下地層を構成する突起11(図43参照)を形成する。

【0144】

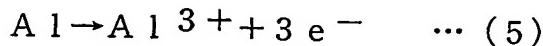
図43は、突起11が形成された直後の基板の一部平面図である。尚、突起11は白丸で示されていることに注意されたい。

【0145】

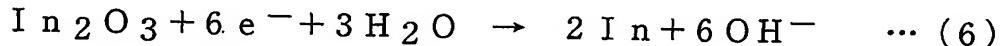
突起11は、ゲート電極9及びゲートバス本体部510が形成された基板に感光性膜を形成し、この感光性膜を突起11のパターンが残るように、露光、現像及びベーリングすることによって形成される。現像工程中、感光性膜の不要な部分は現像液により除去され、この結果、感光性膜で覆われていたゲート電極9及びゲートバス本体部510の各々の一部が露出する。従って、ゲート電極9及びゲートバス本体部510は一時的に現像液に浸された状態となる。また、犠牲電極本体部60a及びゲート端子6を覆っていた感光性膜の部分は現像液により完全に除去されるため、犠牲電極本体部60a及びゲート端子6も一時的に現像液に浸された状態となる。ゲート電極9及びゲートバス本体部510はMoCu膜

91' と AlCu膜92' とから構成されているため、Al及びMoを含有している。一方、ゲート端子6及び犠牲電極本体部60aはIn₂O₃を含有している。これらの金属Al、Mo及びIn₂O₃の平衡電極電位は(4)式で表されるため、平衡電極電位が最も小さいのはAlであり、一方、平衡電極電位が最も大きいのはIn₂O₃である。従って、露出したゲート電極9及びゲートバス本体部510等が現像液に浸されることにより、図16の説明において参照した反応式(5)及び(6)で表される電池反応が起きると考えられる。以下に、反応式(5)及び(6)を再度示す。

【0146】



【0147】



【0148】

AlはIn₂O₃よりも平衡電極電位が小さいため、ゲート電極9及びゲートバス本体部510のAlCu膜92'では電子(e⁻)を放出する反応式(5)が優先的に起きると考えられる。ここで、ゲート電極9及びゲートバス本体部510を構成するAlCu膜92'を、図43に示すように、ゲート端子6の近傍部分A、犠牲電極60の近傍部分B、及び表示領域の部分Cの3つの部分に分け、各部分A、B及びCで生成する電子の挙動について以下に考察する。

【0149】

部分Aはゲート端子6と犠牲電極60との間に形成されているため、この部分Aで生じる電子は、ゲート端子6及び犠牲電極60に流入すると考えられる。一方、部分B及びCで生じた電子の大部分は、ゲート端子6に向かって流れるが、このゲート端子6に向かう途中位置には、このゲート端子6と同じ材料で形成された犠牲電極60が形成されている。従って、部分B及びCで生じた電子の大部分は、ゲート端子6に流入する前に、ゲートバス本体部510の幅広部510bを経由して犠牲電極60に流入すると考えられる。つまり、部分B及びCで生じた電子の大部分は犠牲電極60に流入し、ゲート端子6に流入する電子はわずかであると考えられる。また、部分A内のAlCu膜92'の長さは、部分C内の

A₁C_u膜92'の長さに比べて十分に長い。従って、反応式(5)によって部分Aで生じる電子の数は、部分Cで生じる電子の数よりも十分に多いと考えることができる。上記のことから、部分A、B及びCの全体で生じる電子の大部分は、犠牲電極60に流入すると考えることができる。従って、犠牲電極60では反応式(6)は起きやすいが、ゲート端子6では反応式(6)は起きにくく、その結果、犠牲電極60は大きな損傷を受けるが、一方、ゲート端子6では損傷を受けにくいと考えられる。

【0150】

このように、第3実施形態では、感光性膜を現像したときに、ゲート端子6だけでなく犠牲電極本体部60aも露出させているが、ここで、ゲート端子6のみが露出し、犠牲電極本体部60aは露出しないと仮定してみる。この場合、犠牲電極本体部60aは現像液に接触しないため、反応式(6)は、ゲート端子6で集中して起き、その結果、ゲート端子6は多大な損傷を受けることが考えられる。

【0151】

しかしながら、上記のように、第3実施形態では、ゲート端子6だけでなく犠牲電極本体部60aも露出するため、犠牲電極60がゲート端子6の犠牲となって損傷を受ける。この犠牲電極60自体はTFTアレイ基板300の動作には全く関与しない電極である。従って、犠牲電極60が損傷を受けてもTFTアレイ基板300の動作には影響がない。また、犠牲電極60がゲート端子6の犠牲となって損傷を受けるため、ゲート端子6はほとんど損傷を受けず、ゲート端子6の抵抗値は低く保持される。従って、犠牲電極60を形成しておくことによって、TFTアレイ基板300の動作に影響を与えずにゲート端子6の抵抗値を低く保持することができる。尚、犠牲電極60の犠牲電極本体部60aの面積が小さすぎると、犠牲電極60は、ゲート端子6を電池反応から保護する機能を十分に発揮することができないので、犠牲電極60の犠牲電極本体部60aの面積は、広いことが好ましい。

【0152】

上記の説明では、犠牲電極60の働きによって、A₁C_u膜92' とゲート端

端部51、ゲート端子6及びMoCr不要部26aを構成しており、この積層体 α 3が本発明にいう第2の導電積層体に相当する。また、ITO部25とMoCr部26との積層体 β 1(図46参照)は、犠牲電極60及びMoCr不要部26bを構成しており、この積層体 β 1が本発明にいう犠牲電極積層体に相当する。また、MoCr不要部26bは、本発明にいう「犠牲電極本体被覆部」に相当する。

【0159】

図47は、a-Si膜7及び絶縁膜8が形成された基板の一部平面図、図48は、図47のIII-III方向から見た断面図、図49は、図47のIV-IV方向から見た断面図である。

【0160】

a-Si層7を形成した後、a-Si層7が形成された基板1の表面を覆うようにゲート絶縁膜8が形成される。このゲート絶縁膜8は孔8a、8b、8c、8d及び8eを有する。孔8aはドレイン電極4を露出するための孔である。孔8bは犠牲電極接続部60bを露出するための孔である。孔8cは犠牲電極本体部60aを覆うMoCr不要部26bを露出するための孔である。孔8dはゲートバス端部51の接続部51aを露出するための孔である(この孔8dから露出したMoCr部26の部分が、本発明にいう「低抵抗用導電部の第2の部分」に相当する)。孔8eはゲート端子6(本発明にいう「1つの導電部の第1の部分」に相当する)を覆うMoCr不要部26a(本発明にいう「低抵抗用導電部の第1の部分」に相当する)を露出するための孔である。尚、孔8bが本発明にいう「犠牲電極用の孔」に相当し、孔8dが本発明にいう「導電部用の孔」に相当する。

【0161】

このような孔8a乃至8eを有するゲート絶縁膜8を形成した後、ゲート電極及びゲートバス本体部を形成するために、図38及び図39に示したような導電積層膜93を形成する(図50及び図51参照)。

【0162】

図50及び図51は、導電積層膜93が形成された基板の断面図である。図5

0は、図48に対応する断面図であり、図51は、図49に対応する断面図である。

【0163】

導電積層膜93は、MoCr膜91とAlCu膜92との積層構造を有する。このようにAlCu膜92/MoCr膜91の導電積層膜93を形成した後、この導電積層膜93をフォトリソグラフィ技術を用いてパターニングする（図52乃至図54参照）。

【0164】

図52は、導電積層膜93がパターニングされた後の基板の一部平面図、図53は、図52のV-V方向から見た断面図、図54は、図52のVI-VI方向から見た断面図である。

【0165】

導電積層膜93はウエットエッティングされ、レジスト膜Resで覆われている導電積層膜93の部分は除去されずに残るが、レジスト膜Resで覆われていない導電積層膜93の部分は除去される。この結果、レジスト膜Resの下にはゲート電極9及びゲートバス本体部510が形成されるとともに、MoCr不要部26a及び26bが露出する。ここで、ゲート端子6はMoCr不要部26aで覆われており、犠牲電極本体部60aはMoCr不要部26bで覆われていることに注意されたい。ゲート端子6にとってこのMoCr不要部26aは不要であるため、このMoCr不要部26aは除去される必要がある。一方、犠牲電極60がゲート端子6の損傷を抑制するように機能するには図43を参照しながら説明したように犠牲電極本体部60aは露出している必要があるため、MoCr不要部26bも除去される必要がある。そこで、導電積層膜93をウエットエッティングした後、MoCr不要部26a及び26bもウエットエッティングする（図55及び図56参照）。

【0166】

図55及び図56は、MoCr不要部26a及び26bがウエットエッティングされた後の基板を示す断面図である。図55は、図53に対応する断面図であり、図56は、図54に対応する断面図である。

【0167】

導電積層膜93のMoCr膜91をエッティングした後、MoCr不要部26a及び26bもエッティングすることによって、MoCr不要部26a及び26bが除去され、ゲート端子6及び犠牲電極本体部60aが表面に露出した導電部所有体Dが製造される。MoCr不要部26a及び26bを上記のようにしてエッティングすることにより、このMoCr不要部26a及び26bを除去するための専用のフォトリソグラフィ工程を行わなくてもゲート端子6及び犠牲電極本体部60aを露出させることができる。MoCr不要部26a及び26bを除去した後、レジスト膜Resを剥離する。

【0168】

図55及び図56に示す導電部所有体Dからレジスト膜Resが剥離された導電部所有体が、本発明にいう導電部所有体に相当する。

【0169】

レジスト膜Resの剥離後、下地層及び反射電極が形成される。

【0170】

この例では、導電積層膜93をエッティングした直後（即ち、ゲート電極9及びゲートバス本体部510が形成された直後）では、犠牲電極本体部60aはまだMoCr不要部26bで覆われている（図52参照）が、このMoCr不要部26bは、導電積層膜93のエッティングに続いて連続的にエッティングされる。従つて、下地層の突起11を形成する前に、犠牲電極本体部60aを露出させることができ、ゲート端子6が損傷を受けにくくなるようにすることができる。

【0171】

また、実施形態3では、ゲート端子6の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、突起11の材料が必要以上に除去されるという現象を生じにくし、更にゲート端子6が損傷を受けにくくなるようにすることができる。

【0172】**[実施形態4]**

図57は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明

による第4実施形態のTFTアレイ基板400の一部平面図、図58は、図57のI—I方向から見た断面図、図59は、図57のII—II方向から見た断面図である。

【0173】

図57の左側はTFT及び反射電極等が形成される表示領域であり、右側は、ESDトランジスタ及びソース端子181等が形成される周辺領域である。このESDトランジスタは、表示領域内の各画素毎に設けられるTFTトランジスタの静電破壊を防止するためのものである。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

【0174】

以下、TFTアレイ基板400の製造方法について説明する。

【0175】

先ずガラス基板1（本発明にいう支持体に相当する）上に、ソースバス犠牲電極等を形成する（図60参照）。

【0176】

図60は、ソースバス191及び犠牲電極171等が形成された基板の一部平面図、図61は、図60のIII—III方向から見た断面図、図62は、図60のIV—IV方向から見た断面図である。

【0177】

基板1の表示領域内には、TFTトランジスタのソース電極151及びドレン電極152が形成されている。周辺領域には、ESDトランジスタのソース電極161及びドレン電極162と、犠牲電極171と、ソース端子181とが形成されている。更に、表示領域から周辺領域に渡ってソースバス191が、x方向に延在するように形成されている。TFTトランジスタのソース電極151、ESDトランジスタのソース電極161、犠牲電極171及びソース端子181は、ソースバス191に繋がるように形成されている。犠牲電極171は犠牲電極本体部171aと犠牲電極接続部171bとを有しており、犠牲電極本体部171aは犠牲電極接続部171bを通じてソースバス191に接続されている。

【0178】

TFTトランジスタのソース電極151及びドレイン電極、ESDトランジスタのソース電極161及びドレイン電極162、並びにソースバス191は、ITO部25とMoCr部26とからなる積層構造を有している。このように、これらソースバス191等をITO部25の単層構造ではなく、ITO部25とMoCr部26との積層構造とすることによって、これらソースバス191等の抵抗を低くすることができる。犠牲電極171は、犠牲電極接続部171bのみがITO部25とMoCr部26とからなる積層構造を有しており、犠牲電極本体部171aは、ITO部25のみから構成されている。ソース端子181はITO部25のみから構成されている。尚、ITO部25とMoCr部26との積層体 α 4(図61参照)は、ソースバス191、ソース端子181及び犠牲電極171を構成しており、この積層体 α 4が本発明にいう第3の導電積層体に相当する。また、積層体 α 4のITO部25が、本発明にいう「犠牲電極本体部所有層」に相当する。

【0179】

このような犠牲電極171等は、基板1上にMoCr膜/ITO膜の積層膜を形成し、この積層膜を、図60乃至図62に示す形状にパターニングすることにより形成することができる。

【0180】

犠牲電極171等を形成した後、a-Si層及びゲート絶縁膜を形成する(図63乃至図65参照)。

【0181】

図63は、ガラス基板1上にa-Si層153及び163とゲート絶縁膜160とが形成された基板の一部平面図、図64は、図63のV-V方向から見た断面図、図65は図61のVI-VI方向から見た断面図である。

【0182】

表示領域には、TFTトランジスタのソース電極151とドレイン電極152との間にa-Si層153が形成され、周辺領域には、ESDトランジスタのソース電極161とドレイン電極162との間にa-Si層163が形成される。

このようにa-Si層153及び163を形成した後、a-Si層153及び163が形成された基板1にゲート絶縁膜160が形成される。このゲート絶縁膜160は孔160a、160b、160c、160d及び160eを有するようバターニングされている。孔160aはドレイン電極152を露出するための孔である。孔160bはESDトランジスタのドレイン電極162を露出するための孔である。孔160cはソースバス191を露出するための孔である。孔160dは犠牲電極本体部171aを露出するための孔である。孔160eはソース端子181（本発明にいう「1つの導電部の第1の部分」に相当する）を露出するための孔である。尚、孔160cが本発明にいう「導電部用の孔」に相当する。

【0183】

このような孔160a、160b、160c、160d及び160eを有するゲート絶縁膜160を形成した後、ゲートバス及びESD配線等の材料を用いて導電積層膜を形成する（図66及び図67参照）。

【0184】

図66及び図67は、導電積層膜177が形成された基板の断面図である。図66は、図64に対応する断面図であり、図67は、図65に対応する断面図である。

【0185】

導電積層膜177は、Moを主成分としCrが添加された材料からなるMoCr膜175と、Alを主成分としCuが添加された材料からなるAlCu膜176とを有する。このようにMoCr膜175とAlCu膜176とを形成した後、これらの膜175及び176をバターニングしてゲートバス等を形成する（図68及び図69参照）。

【0186】

図68は、MoCr膜175とAlCu膜176とがバターニングされた後の基板の一部平面図、図69は、図68のVII-VII方向から見た断面図である。

【0187】

AlCu膜176及びMoCr膜175はウエットエッチングされ、これによ

層膜を形成し、このITO膜とMoCr膜とを同一形状にパターニングすることにより形成されている。このため、ソース端子181はMoCr部26の一部分26a（図71にクロスハッチングで示されている部分）で覆われ、犠牲電極本体部171aはMoCr部26の一部分26b（図71にクロスハッチングで示されている部分）で覆われている。しかしながら、ソース端子181及び犠牲電極本体部171aにとってMoCr部26の一部分26a及び26bは不要であり、このため、MoCr部26の一部分26a（以下、「MoCr不要部26a」と呼ぶ）及び26b（以下、「MoCr不要部26b」と呼ぶ）は、除去しなければならない。しかしながら、図71乃至図73に示す状態においてMoCr不要部26a及び26bを除去しようとすると、MoCr不要部26a及び26bを除去するための専用のフォトリソ工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずにTFTアレイ基板が製造できるように、MoCr不要部26a及び26bを直ぐに除去するのではなく、先にa-Si層及びゲート絶縁膜を形成する（図74乃至図83参照）。尚、ITO部25とMoCr部26との積層体 α 5（図72参照）は、ソースバス191、ソース端子181、犠牲電極171、MoCr不要部26a及び26bを構成しており、この積層体 α 5が本発明にいう第4の導電積層体に相当する。また、積層体 α 5のITO部25が、本発明にいう「犠牲電極本体部所有層」に相当する。また、MoCr不要部26bは、本発明にいう「犠牲電極本体被覆部」に相当する。

【0203】

図74は、a-Si層153及び163とゲート絶縁膜160とが形成された基板の一部平面図、図75は、図74のIII-III方向から見た断面図、図76は、図74のIV-IV方向から見た断面図である。

【0204】

表示領域には、TFTトランジスタのソース電極151とドレイン電極152との間にa-Si層153が形成され、周辺領域には、ESDトランジスタのソース電極161とドレイン電極162との間にa-Si層163が形成される。このようにa-Si層153及び163を形成した後、a-Si層153及び163が形成された基板1にゲート絶縁膜160が形成される。このゲート絶縁膜

る導電積層膜177の部分は除去されずに残るが、レジスト膜Resで覆われていない導電積層膜177の部分は除去される。この結果、レジスト膜Resの下にはTFTゲート電極154、ゲートバス155、ESD配線165、ESDゲート電極164が形成されるとともに、MoCr不要部26a及び26bが露出する。ここで、ソース端子181はMoCr不要部26aで覆われており、犠牲電極本体部171aはMoCr不要部26bで覆われていることに注意されたい。ソース端子181にとってこのMoCr不要部26aは不要であるため、このMoCr不要部26aは除去される必要がある。一方、犠牲電極171がソース端子181の損傷を抑制するように機能するには図70を参照しながら説明したように犠牲電極本体部171aは露出している必要があるため、MoCr不要部26bも除去される必要がある。そこで、導電積層膜177をウエットエッティングした後、MoCr不要部26a及び26bもウエットエッティングする（図82及び図83参照）。

【0210】

図82及び図83は、MoCr不要部26a及び26bがウエットエッティングされた後の基板を示す断面図である。図82は、図80に対応する断面図であり、図83は、図81に対応する断面図である。

【0211】

導電積層膜177のMoCr膜175をエッティングした後、MoCr不要部26a及び26bもエッティングすることによって、MoCr不要部26a及び26bが除去され、ソース端子181及び犠牲電極本体部171aが露出した導電部所有体Fが製造される。MoCr不要部26a及び26bを上記のようにエッティングすることによって、このMoCr不要部26a及び26bを除去するための専用のフォトリソグラフィ工程を行わなくてもソース端子181及び犠牲電極本体部171aを露出させることができる。MoCr不要部26a及び26bを除去した後、レジスト膜Resが剥離される。

【0212】

図82及び図83に示す導電部所有体Fからレジスト膜Resが剥離された導電部所有体が、本発明にいう導電部所有体に相当する。

【0213】

レジスト膜Resの剥離後、下地層及び反射電極が形成される。

【0214】

この例では、導電積層膜177をエッチングした直後（即ち、ESDゲート電極164等が形成された直後）では、犠牲電極本体部171aはまだMoCr不要部26bで覆われている（図81参照）が、このMoCr不要部26bは、導電積層膜177のエッチングに続いて連続的にエッチングされる。従って、下地層の突起11を形成する前に、犠牲電極本体部171aを露出させることができ、ソース端子181の損傷を抑制することができる。

【0215】

また、第4実施形態では、ソース端子181の材料としてITOが使用された場合について説明したが、ITOに代えて例えばIZO使用された場合でも、本発明を適用することによって、突起11の材料が必要以上に除去されるという現象を生じにくし、更にソース端子181が損傷を受けにくくなるようにすることができる。

【0216】**[実施形態5]**

図84は、トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第5実施形態のTFTアレイ基板500の一部平面図、図85は、図84のI—I方向から見た断面図、図86は、図84のII-II方向から見た断面図である。

【0217】

図84の左側はTFT及び反射電極13等が形成される表示領域であり、右側はゲート端子6が形成される周辺領域である。説明の便宜上、これら表示領域及び周辺領域は概略的に示されていることに注意されたい。

【0218】

以下、TFTアレイ基板500の製造方法について説明する。

【0219】

先ずガラス基板1（本発明にいう支持体に相当する）上に、ソース電極2、ソ

ースバス3、ドレイン電極4、ゲートバス端部51及びゲート端子6を形成する（図87及び図88参照）。

【0220】

図87は、ゲート端子6等が形成された基板の一部平面図、図88は、図87のIII-III方向から見た断面図である。

【0221】

表示領域には、ソース電極2、ソースバス3及びドレイン電極4が形成される。ソースバス3はy方向に延在するように形成されており、ソース電極2はこのソースバス3に繋がるように形成されている。また、周辺領域には、ゲートバス端部51及びゲート端子6が形成される。ゲート端子6はゲートバス端部51に繋がるように形成されている。ゲートバス端部51は、後述するゲートバス架橋部53（図98及び図99参照）に接続される第1の接続部51aと、後述する犠牲電極14（図98及び図100参照）に接続される第2の接続部51cと、これら接続部51a及び51cからゲート端子6にまで延在する延在部51bとを有する。ソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、ITOを含有するITO部25とMoCrを含有するMoCr部26との積層構造を有している。このような積層構造のソース電極2、ソースバス3、ドレイン電極4及びゲートバス端部51は、基板1上にMoCr膜/ITO膜の積層膜を形成し、この積層膜をパターニングすることにより形成されている。このように、これらゲートバス端部51等をITO部25の単層構造ではなく、ITO部25とMoCr部26との積層構造とすることによって、これらゲートバス端部51等の抵抗を低くすることができる。ここでは、ゲートバス端部51の接続部51aはITO部25とMoCr部26との積層構造を有しているが、接続部51aをITO部25のみの単層構造としてもよい。この場合、ゲートバス端部51の接続部51aがITO部25のみの単層構造であっても、ゲートバス端部51の延長部51bをITO部25とMoCr部26との積層構造とすることによって、ゲートバス端部51自体の抵抗値を十分に低くすることができる。尚、十分に低い抵抗値が得られるのであれば、ゲートバス端部51等はITO部25のみの単層構造であってもよい。

【0222】

また、ゲート端子6はゲートバス端部51に繋がるように形成されているが、このゲート端子6はMoCr部26の一部分26a（図87にクロスハッチングで示されている部分）で覆われていることに注意されたい。ゲート端子6にとつてこのMoCr部26の一部分26a（以下、MoCr不要部26aと呼ぶ）は不要であり、このため、このMoCr不要部26aは除去されなければならない。しかしながら、図87及び図88に示す状態においてMoCr不要部26aを除去しようとすると、MoCr不要部26aを除去するための専用のフォトリン工程が必要となり、製造工程数が増大する。そこで、製造工程数を増大させずにTFTアレイ基板が製造できるように、MoCr不要部26aを直ぐに除去するのではなく、先にa-Si層等を形成する。尚、ITO部25とMoCr部26との積層体 α 6（図88参照）は、ゲートバス端部51、ゲート端子6及びMoCr不要部26aを構成しており、この積層体 α 6が本発明にいう第5の導電積層体に相当する。また、積層体 α 6のMoCr部26が本発明にいう「第1の導電部」に相当する。

【0223】

図89は、a-Si層7、ゲート絶縁膜8、ゲート電極9及びゲートバス本体部52が形成された基板の一部平面図、図90は、図89のIV-IV方向から見た断面図である。

【0224】

ゲートバス端部51等を形成した後（図87及び図88参照）、a-Si層7及びゲート絶縁膜8が形成し、このゲート絶縁膜8上に、ゲート電極9及びゲートバス本体部52が形成される。ゲートバス本体部52は、図89に示すようにx方向に延在するように形成されている。このゲートバス本体部52は、後述するゲートバス架橋部53（図98及び図99参照）に接続される接続部52aを有する。このように、ゲート電極9及びゲートバス本体部52を形成した後、反射電極に所望の反射特性を持たせるための下地層を形成する。尚、ゲート電極9及びゲートバス本体部52を合わせたものが、本発明にいう「第4の導電部」に相当する。

【0225】

図91は、下地層が形成された基板の一部平面図、図92は、図91のV-V方向から見た断面図、図93は、図91のVI-VI方向から見た断面図である。

【0226】

ゲート電極9及びゲートバス本体部52を形成した後、多数の突起11（図92参照）と、この多数の突起11を覆う平坦化膜12（本発明にいう「第2の絶縁膜」に相当する）とが形成される。このようにして、突起11と平坦化膜12とからなる下地層が形成される。この平坦化膜12は孔12a、12b、12c、12d及び12eを有する。孔12aはドレン電極4に対応する位置に形成された孔である。孔12bはゲートバス本体部52の接続部52a（本発明にいう「第4の導電部の第1の部分」に相当する）を露出するための孔である。孔12cはゲートバス端部51の接続部51aに対応する位置に形成された孔である（この孔12cから露出したゲート絶縁膜8の部分が、本発明にいう「第1の絶縁膜の第2の部分」に相当する）。孔12dはゲートバス端部51の接続部51cに対応する位置に形成された孔である（この孔12dから露出したゲート絶縁膜8の部分が、本発明にいう「第1の絶縁膜の第3の部分」に相当する）。孔12eはゲート端子6を覆うMoCr不要部26aに対応する位置に形成された孔である（この孔12eから露出したゲート絶縁膜8の部分が、本発明にいう「第1の絶縁膜の第1の部分」に相当する）。尚、孔12bが本発明にいう「第3の孔」に相当し、孔12cが本発明にいう「第1の連通孔」に相当し、孔12dが本発明にいう「第2の連通孔」に相当する。

【0227】

このようにして、突起11と平坦化膜12とを有する下地層が形成される。下地層の形成後、この下地層をエッティングマスクとして、ゲート絶縁膜8をドライエッティングする（図94及び図95参照）。

【0228】

図94及び図95は、ゲート絶縁膜8がドライエッティングされた後の基板を示す断面図である。図94は図92に対応する断面図であり、図95は図93に対応する断面図である。

【0229】

下地層をエッティングマスクとして、ゲート絶縁膜8をドライエッティングすることにより、このゲート絶縁膜8に、平坦化膜12の孔12a、12c、12d及び12eそれぞれに対応する孔8a、8c、8d及び8eが形成される。孔8aはドレン電極4を露出するための孔である。孔8cは、ゲートバス端部51の接続部51aを露出するための孔である（孔8cから露出したMoCr部26の部分が、本発明にいう「第1の導電部の第1の接続部」に相当する）。孔8dは、ゲートバス端部51の接続部51cを露出するための孔である（孔8dから露出したMoCr部26の部分が、本発明にいう「第1の導電部の第2の接続部」に相当する）。孔8eは、ゲート端子6を覆うMoCr不要部26a（本発明にいう「第1の導電部の第1の部分」に相当する）を露出するための孔である。平坦化膜12の孔12bに対応するゲート絶縁膜8の部分は、ゲートバス本体部52の接続部52aで保護されているため、エッティングされない。

【0230】

尚、孔8cが本発明にいう「第1の孔」に相当し、孔8dが本発明にいう「第2の孔」に相当する。

【0231】

このようにゲート絶縁膜8をエッティングした後、反射電極13等を形成するためのAg膜を形成する（図96及び図97参照）。

【0232】

図96及び図97は、Ag膜130が形成された基板の断面図である。図96は図94に対応する断面図であり、図97は図95に対応する断面図である。

【0233】

Ag膜130は、ドレン電極4、ゲートバス本体部52の接続部52a、ゲートバス端部51の接続部51a、ゲートバス端部51の接続部51c、及びMoCr不要部26aに接続される。

【0234】

以上のようにして、Ag膜130を有する導電膜所有体Gが製造される。この導電膜所有体Gが、本発明にいう導電膜所有体に相当する。

【0235】

このようにAg膜130を形成した後、このAg膜130をフォトリソグラフィ工程を用いてウエットエッティングする（図98乃至100参照）。

【0236】

図98は、Ag膜130をウエットエッティングした直後の基板の一部平面図、図99は、図98の基板のVII-VII方向から見た断面図、図100は、図98の基板のVIII-VIII方向から見た断面図である。

【0237】

Ag膜130をウエットエッティングすることによって、レジスト膜Resの下に反射電極13、ゲートバス架橋部53及び犠牲電極14が形成される。ゲートバス架橋部53を形成することにより、ゲートバス端部51とゲートバス本体部52とが電気的に接続される。ゲートバス端部51、ゲートバス本体部52及びゲートバス架橋部53によって、ゲートバス5が構成される。犠牲電極14は、ゲートバス端部51の接続部51cを通じて、ゲート端子6に電気的に接続されている。また、Ag膜130をウエットエッティングすることによって、Ag膜130の不要な部分は除去されるため、ゲート端子6を覆っているMoCr不要部26aが露出する。

【0238】

ここで注意しなければならないことは、Ag膜130をウエットエッティングすることにより、反射電極13及びゲートバス架橋部53だけでなく、犠牲電極14も形成されることである。以下に、反射電極13及びゲートバス架橋部53だけでなく犠牲電極14も形成する理由について説明する。

【0239】

上述したように、Ag膜130をウエットエッティングすることによって、Ag膜130で覆われていたMoCr不要部26a（本発明にいう「第1の導電部の第1の部分」に相当する）が露出する。このMoCr不要部26aが露出した直後では、反射電極13の側端面13a、ゲートバス架橋部53の側端面53a及び犠牲電極14の側端面14aと、MoCr不要部26aとがエッティング液に接触する。反射電極13、ゲートバス架橋部53及び犠牲電極14の材料であるA

g と、 MoCr 不要部26aの材料である Mo との平衡電極電位の関係は（9）式で表される。

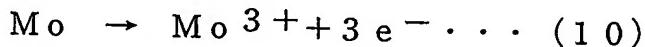
【0240】



【0241】

ゲートバス架橋部53及び犠牲電極14は、 MoCr 不要部26aに電気的に接続されており、エッティング液は電解質溶液である。従って、ゲートバス架橋部53及び犠牲電極14と MoCr 不要部26aとがエッティング液に接触すると、反応式（10）及び（11）で表される電池反応が生じると考えられる。

【0242】



【0243】



【0244】

ここで、反応式（11）の NO_3^- は、エッティング液に含まれているイオンである。

【0245】

Mo の平衡電極電位は Ag の平衡電極電位よりも小さいため、 MoCr 不要部26a側では、電子を放出する反応式（10）が優先的に生じると考えられる。発生した電子（ e^- ）の一部は、 MoCr 不要部26aから Ag を主成分とするゲートバス架橋部53に流入し、この流入した電子は、エッティング液に含まれている NO_3^- と反応し、反応式（11）を促進する。 Ag 膜130のエッティングは、反応式（11）が生じることによって進行するものであり、このため、反応式（11）が促進されると、 Ag 膜130のエッティング速度が増大する。従って、もし、犠牲電極14が存在しないと仮定すると、反応式（11）の反応がゲートバス架橋部53の近傍で集中して起き、この結果、ゲートバス架橋部53のエッティング速度が増大し、ゲートバス架橋部53の寸法が所望の値よりも更に小さくなってしまうことが考えられる。このようにゲートバス架橋部53が所望の寸法よりも小さくなると、ゲートバス架橋部53が高抵抗になったり、最悪の場合

、ゲートバス本体部52とゲートバス端部51との間の電気的接続を確保することができない場合が生じる。

【0246】

これに対して、第5実施形態では、Ag膜130をウエットエッチングするときにゲートバス架橋部53の他に犠牲電極14も形成しているため、MoCr不要部26aは、ゲートバス架橋部53だけでなく犠牲電極14にも電気的に接続されている。従って、反応式(11)が、ゲートバス架橋部53の近傍だけでなく、犠牲電極14の近傍でも生じ、この結果、反応式(11)がゲートバス架橋部53で集中して起こることが防止される。従って、犠牲電極14を備えることにより、ゲートバス架橋部53のエッチング速度の増加を緩和することができ、所望の寸法を有するゲートバス架橋部53を形成することが可能となる。

【0247】

Ag膜130をウエットエッチングすることによって、MoCr不要部26aが露出したら、MoCr不要部26aをドライエッチングする。MoCr不要部26aをドライエッチングすることによって、このMoCr不要部26aを除去するための専用のフォトリソ工程を行わなくてもゲート端子6を露出させることができる。MoCr不要部26aをドライエッチングした後、レジスト膜Resを剥離する。このようにして、図84乃至図86に示すTFTアレイ基板500(本発明にいう導電部装置に相当する)が製造される。

【0248】

また、第5実施形態では、反射電極13及びゲートバス架橋部53を形成するために、Ag膜130を形成したが、Ag膜の代わりに、例えばAg合金を有するAg合金膜を形成することができる。Ag合金膜をウエットエッチングするときに、反射電極及びゲートバス架橋部の他に犠牲電極が形成されるように、Ag合金膜をウエットエッチングすることによって、所望の寸法を有するゲートバス架橋部を形成することが可能となる。

【0249】

【発明の効果】

本発明によれば、感光性膜が必要以上に除去される現象を防止又は緩和する導

【図14】 図13に示す感光性膜を現像した直後の基板の断面図である。

【図15】 図14に示す領域R1の拡大図である。

【図16】 図14に示す領域R2の拡大図である。

【図17】 被覆膜が形成された基板を示す断面図である。

【図18】 感光性膜110が形成された基板の断面図である。

【図19】 感光性膜110が現像された後の基板の断面図である。

【図20】 突起110'がポストベークされた後の基板の断面図である。

【図21】 被覆膜100がエッティングされた後の基板の断面図である。

【図22】 平坦化膜12が形成された基板の断面図である。

【図23】 ボトムゲート構造を有する反射型液晶表示装置に用いられる本発明の第2実施形態のTFTアレイ基板200の一部断面図である。

【図24】 ゲート電極201、ゲート絶縁膜202、a-Si層203及び保護膜204が形成された基板を示す断面図である。

【図25】 導電積層膜が形成された基板の断面図である。

【図26】 ITO膜205とMoCr膜206とをウエットエッティングした後の基板の断面図である。

【図27】 被覆膜209が形成された基板を示す断面図である。

【図28】 多数の突起210が形成された基板を示す断面図である。

【図29】 トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第3実施形態のTFTアレイ基板300の一部平面図である。

【図30】 図29のI—I方向から見た断面図である。

【図31】 図29のII—II方向から見た断面図である。

【図32】 ゲートバス端部51及び犠牲電極60等が形成された基板の一部平面図である。

【図33】 図32のIII—III方向から見た断面図である。

【図34】 図32のIV—IV方向から見た断面図である。

【図35】 基板1上にa-Si層7及びゲート絶縁膜8が形成された基板の一部平面図である。

【図36】 図35のV—V方向から見た断面図である。

【図37】 図35のVI-VI方向から見た断面図である。

【図38】 導電積層膜93が形成された基板の断面図である。

【図39】 導電積層膜93が形成された基板の断面図である。

【図40】 MoCr膜91とAlCu膜92とがウエットエッチングされた後の基板の一部平面図である。

【図41】 図40のVII-VII方向から見た断面図である。

【図42】 図40のVIII-VIII方向から見た断面図である。

【図43】 突起11が形成された直後の基板の一部平面図である。

【図44】 ゲートバス端部51等が形成された基板の一部平面図である。

【図45】 図44のI-I方向から見た断面図である。

【図46】 図44のII-II方向から見た断面図である。

【図47】 a-Si膜7及び絶縁膜8が形成された基板の一部平面図である。

【図48】 図47のIII-III方向から見た断面図である。

【図49】 図47のIV-IV方向から見た断面図である。

【図50】 導電積層膜93が形成された基板の断面図である。

【図51】 導電積層膜93が形成された基板の断面図である。

【図52】 導電積層膜93がパターニングされた後の基板の一部平面図である。

【図53】 図52のV-V方向から見た断面図である。

【図54】 図52のVI-VI方向から見た断面図である。

【図55】 MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。

【図56】 MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。

【図57】 トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第4実施形態のTFTアレイ基板400の一部平面図である。

【図58】 図57のI-I方向から見た断面図である。

【図59】 図57のII-II方向から見た断面図である。

【図60】 ソースバス191及び犠性電極171等が形成された基板の一部平面図である。

【図61】 図60のIII-III方向から見た断面図である。

【図62】 図60のIV-IV方向から見た断面図である。

【図63】 ガラス基板1上にa-Si層153及び163とゲート絶縁膜160とが形成された基板の一部平面図である。

【図64】 図63のV-V方向から見た断面図である。

【図65】 図61のVI-VI方向から見た断面図である。

【図66】 導電積層膜177が形成された基板の断面図である。

【図67】 導電積層膜177が形成された基板の断面図である。

【図68】 MoCr膜175とAlCu膜176とがパターニングされた後の基板の一部平面図である。

【図69】 図68のVII-VII方向から見た断面図である。

【図70】 突起11が形成された直後の基板の一部平面図である。

【図71】 ソースバス191等が形成された基板の一部平面図である。

【図72】 図71のI-I方向から見た断面図である。

【図73】 図71のII-II方向から見た断面図である。

【図74】 a-Si層153及び163とゲート絶縁膜160とが形成された基板の一部平面図である。

【図75】 図74のIII-III方向から見た断面図である。

【図76】 図74のIV-IV方向から見た断面図である。

【図77】 導電積層膜177が形成された基板の断面図である。

【図78】 導電積層膜177が形成された基板の断面図である。

【図79】 導電積層膜177がパターニングされた後の基板の一部平面図である。

【図80】 図79のV-V方向から見た断面図である。

【図81】 図79のVI-VI方向から見た断面図である。

【図82】 MoCr不要部26a及び26bがウエットエッチングされた後の基板を示す断面図である。

【図83】 MoCr不要部26a及び26bがウエットエッティングされた後の基板を示す断面図である。

【図84】 トップゲート構造を有する反射型液晶表示装置に用いられる本発明による第5実施形態のTFTアレイ基板500の一部平面図である。

【図85】 図84のI-I方向から見た断面図である。

【図86】 図84のII-II方向から見た断面図である。

【図87】 ゲート端子6等が形成された基板の一部平面図である。

【図88】 図87のIII-III方向から見た断面図である。

【図89】 a-Si層7、ゲート絶縁膜8、ゲート電極9及びゲートバス本体部52が形成された基板の一部平面図である。

【図90】 図89のIV-IV方向から見た断面図である。

【図91】 下地層が形成された基板の一部平面図である。

【図92】 図91のV-V方向から見た断面図である。

【図93】 図91のVI-VI方向から見た断面図である。

【図94】 ゲート絶縁膜8がドライエッティングされた後の基板を示す断面図である。

【図95】 ゲート絶縁膜8がドライエッティングされた後の基板を示す断面図である。

【図96】 Ag膜130が形成された基板の断面図である。

【図97】 Ag膜130が形成された基板の断面図である。

【図98】 Ag膜130をウエットエッティングした直後の基板の一部平面図である。

【図99】 図98の基板のVII-VII方向から見た断面図である。

【図100】 図98の基板のVIII-VIII方向から見た断面図である。

【符号の説明】

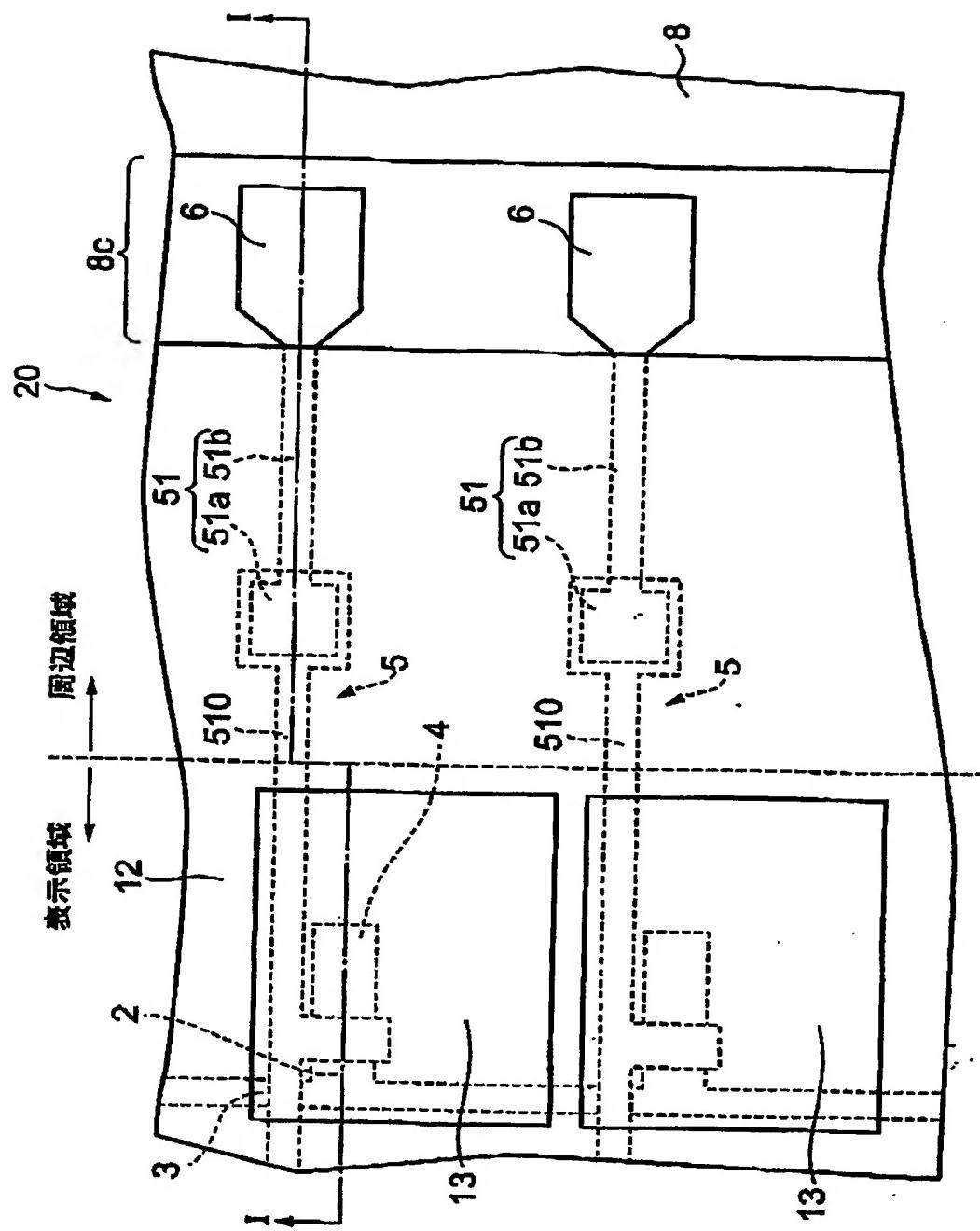
- 1 ガラス基板
- 2 ソース電極
- 3 ソースバス
- 4 ドレイン電極

- 5 ゲートバス
- 6 ゲート端子
- 7 a-Si層
- 8 ゲート絶縁膜
- 8a、8b、8c 孔
- 9 ゲート電極
- 10 膜片
- 11 突起
- 12 平坦化膜
- 13 反射電極
- 14 犠牲電極
- 25 ITO部
- 26 MoCr部

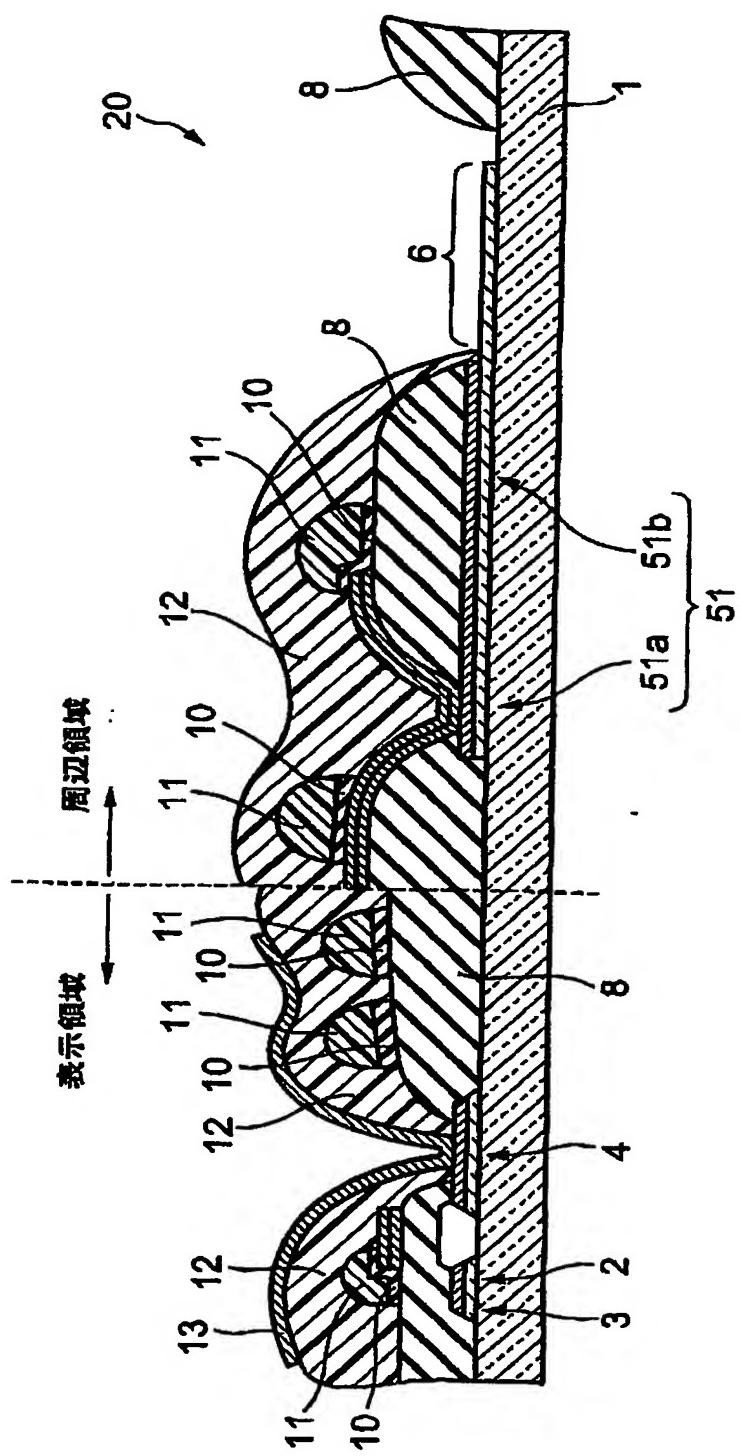
【書類名】

図面

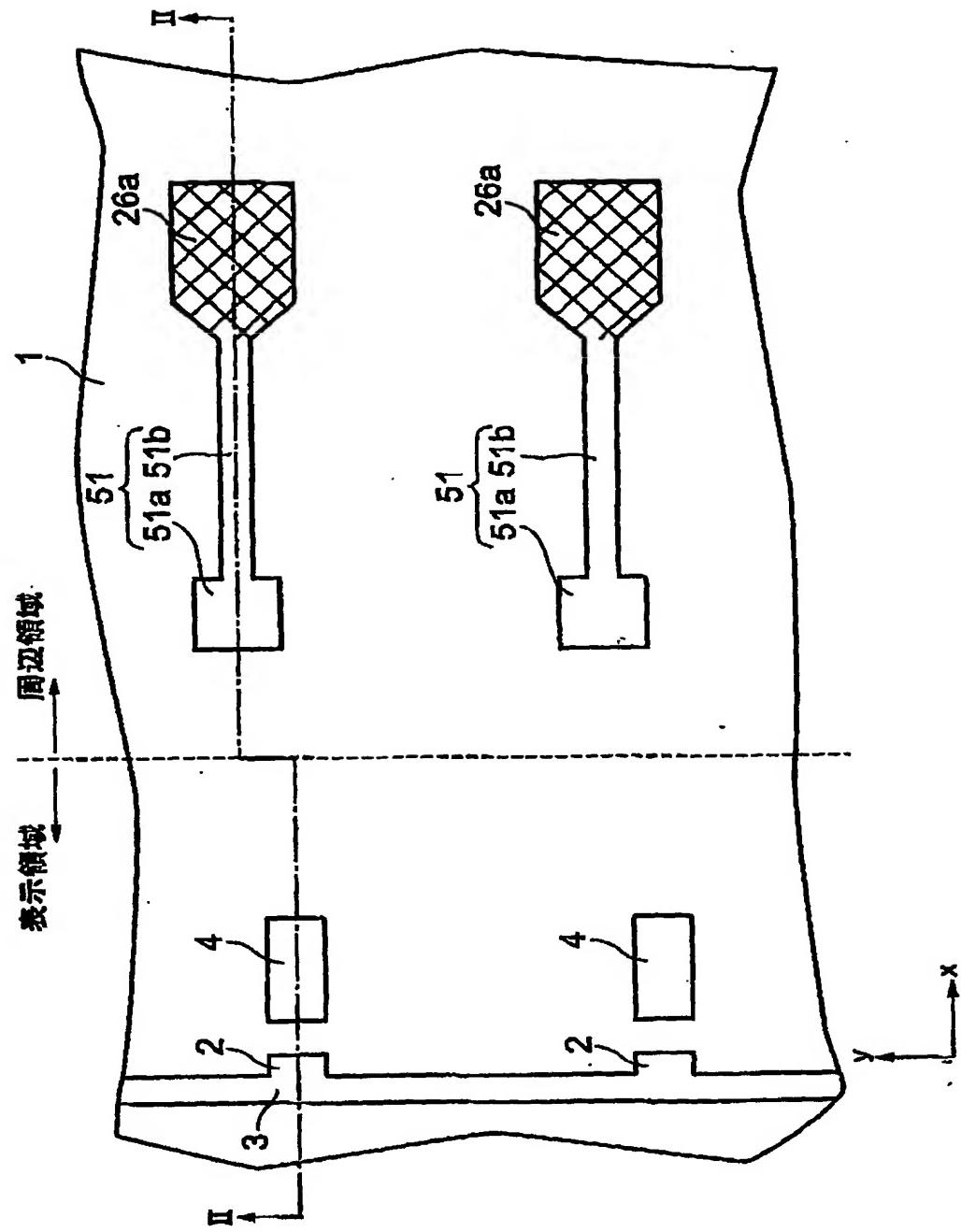
【図1】



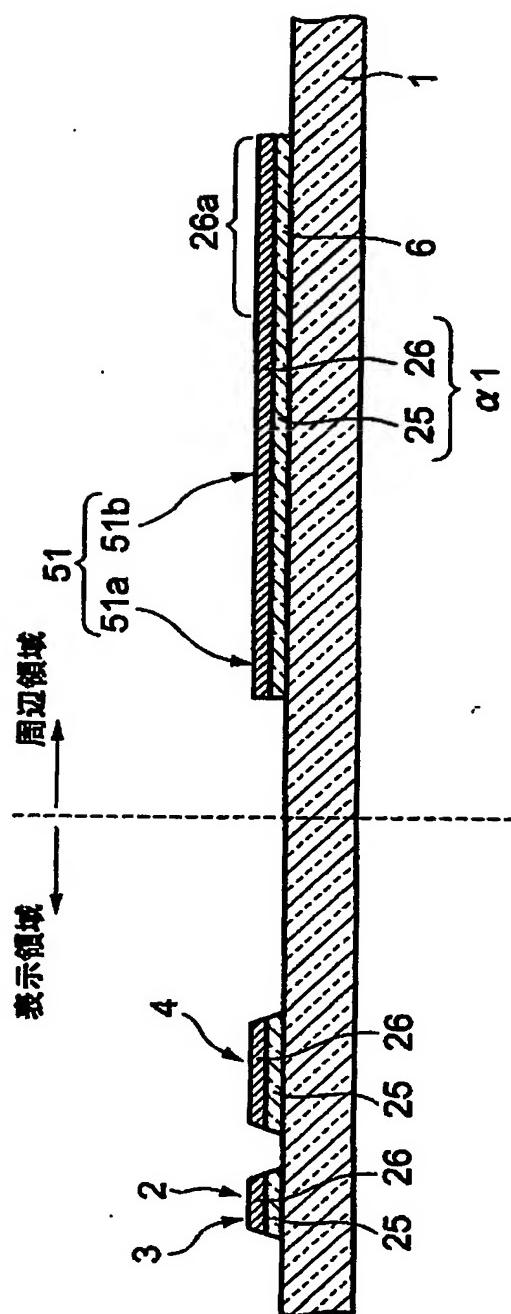
【図2】



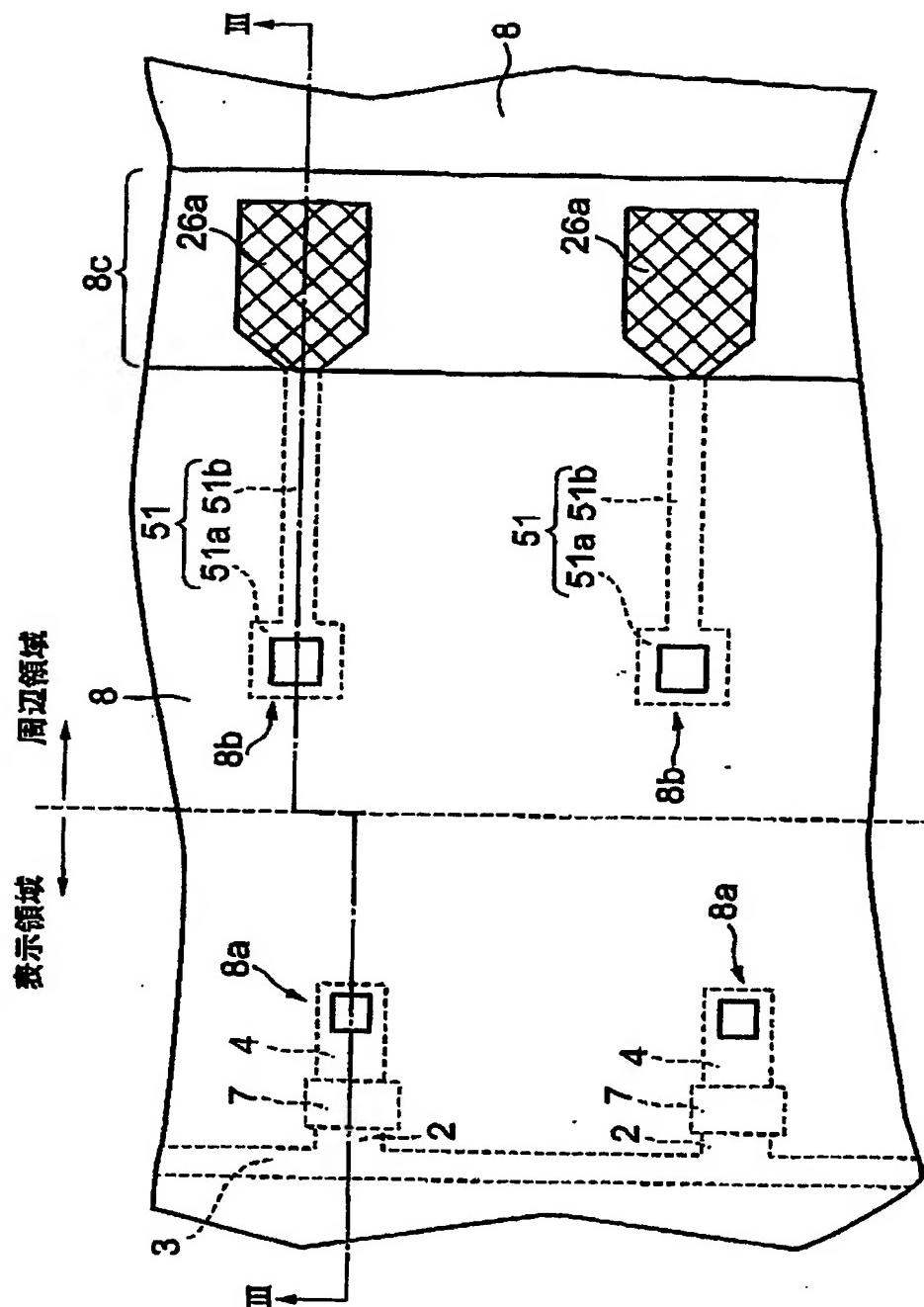
【図3】



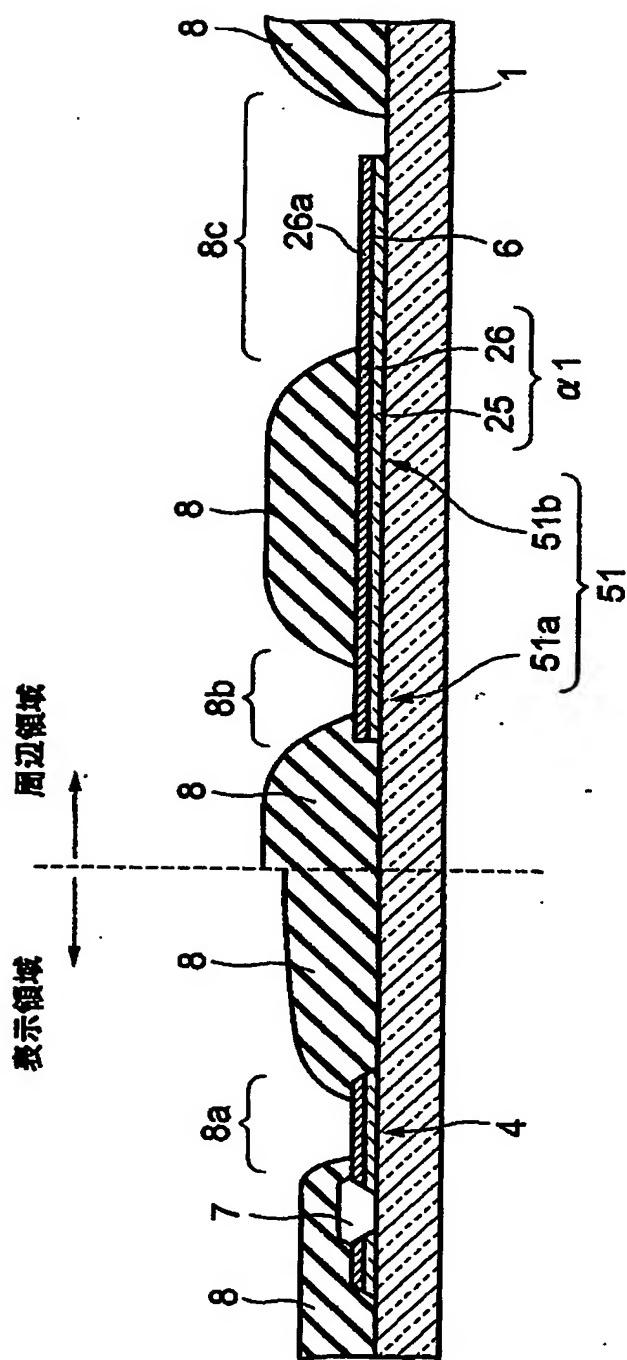
【図4】



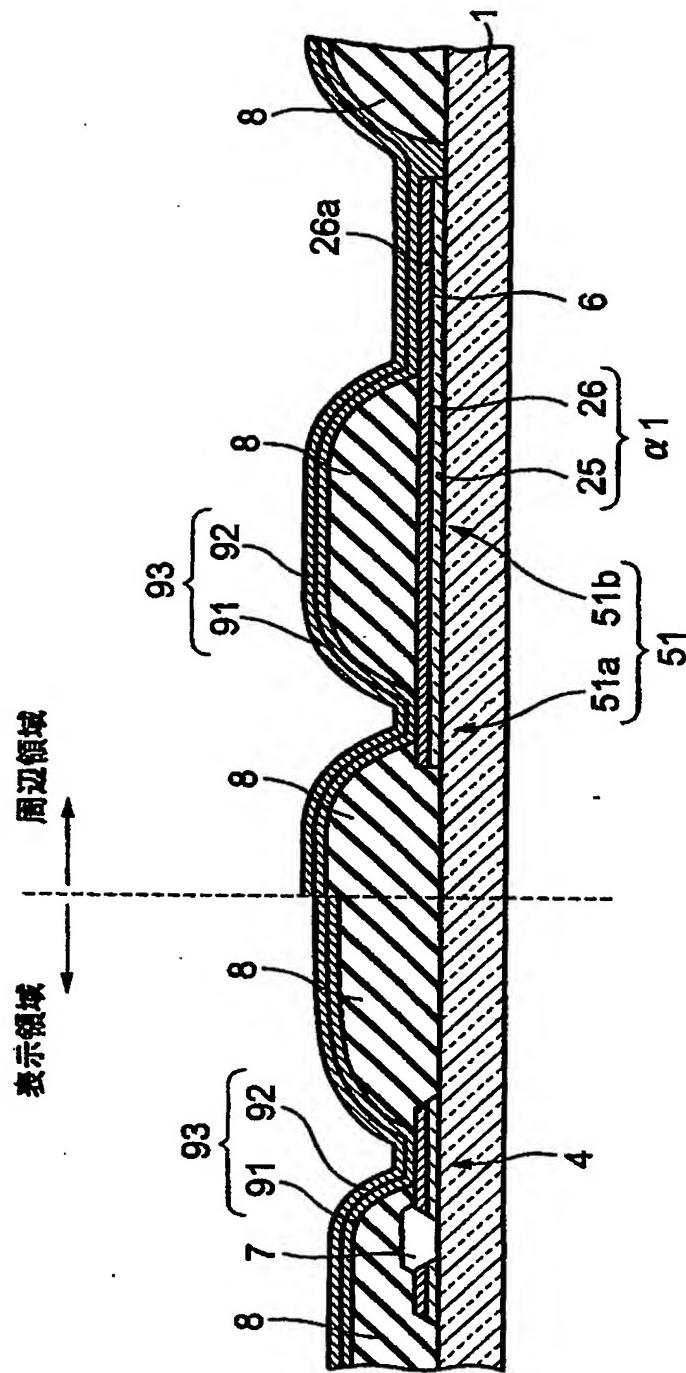
【図5】



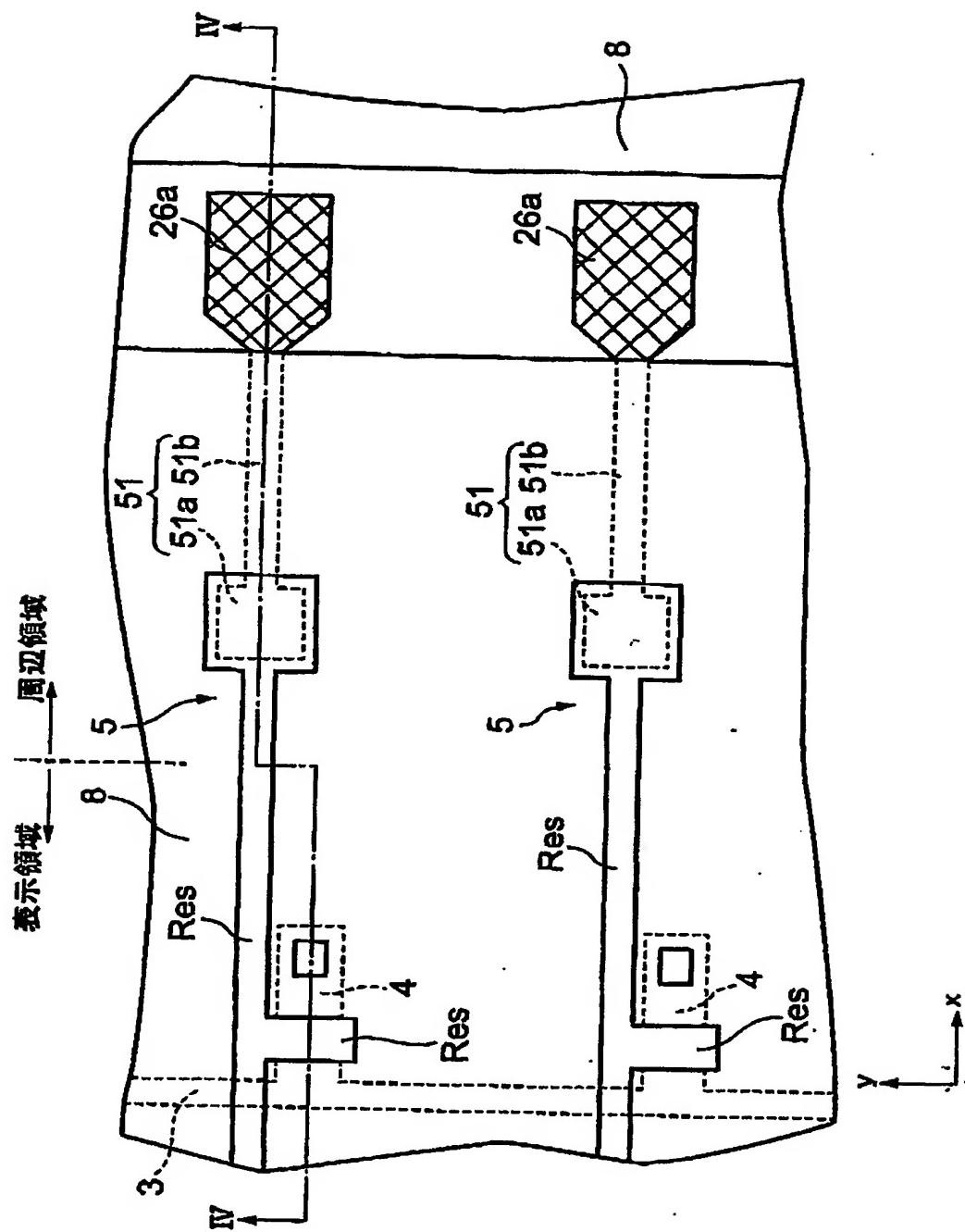
【図6】



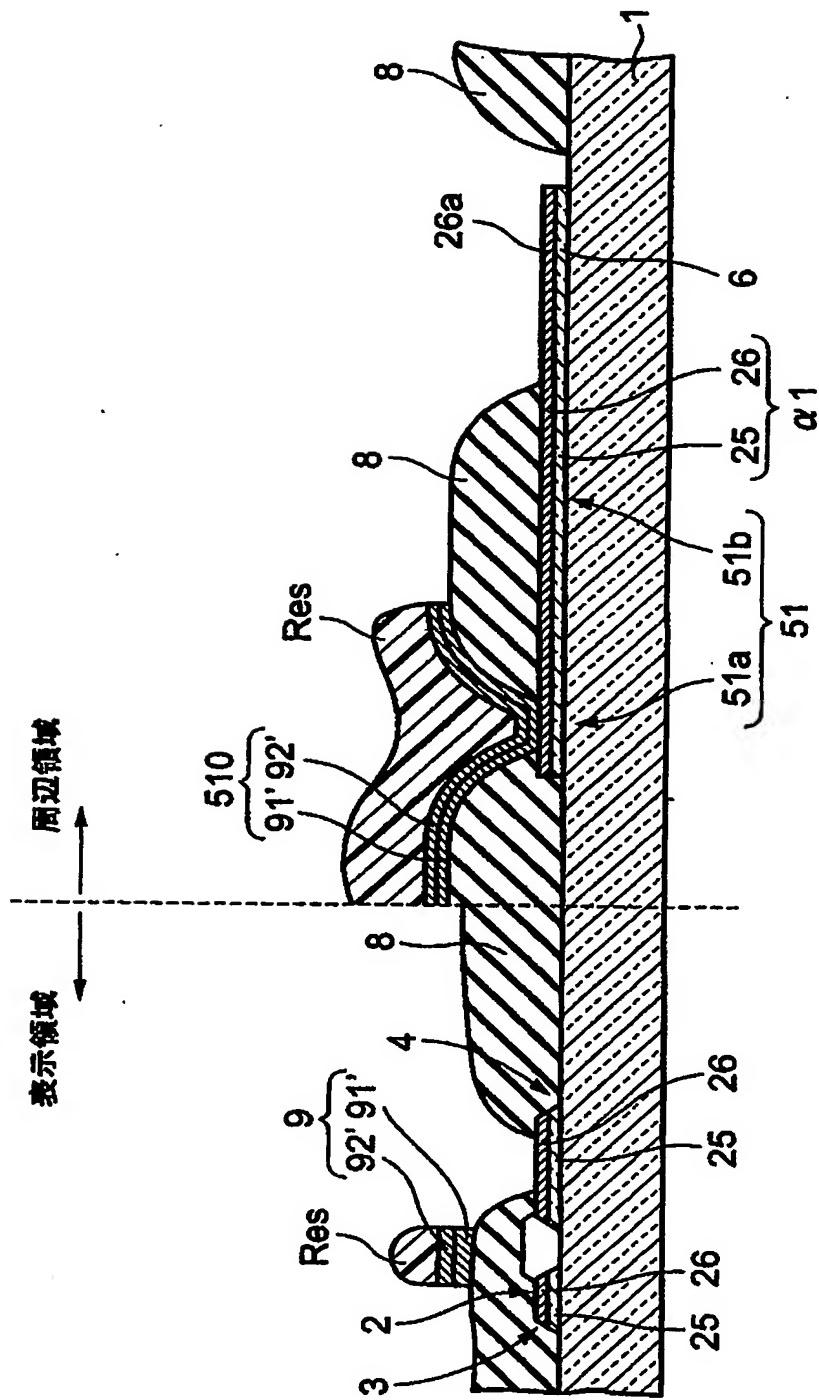
【図7】



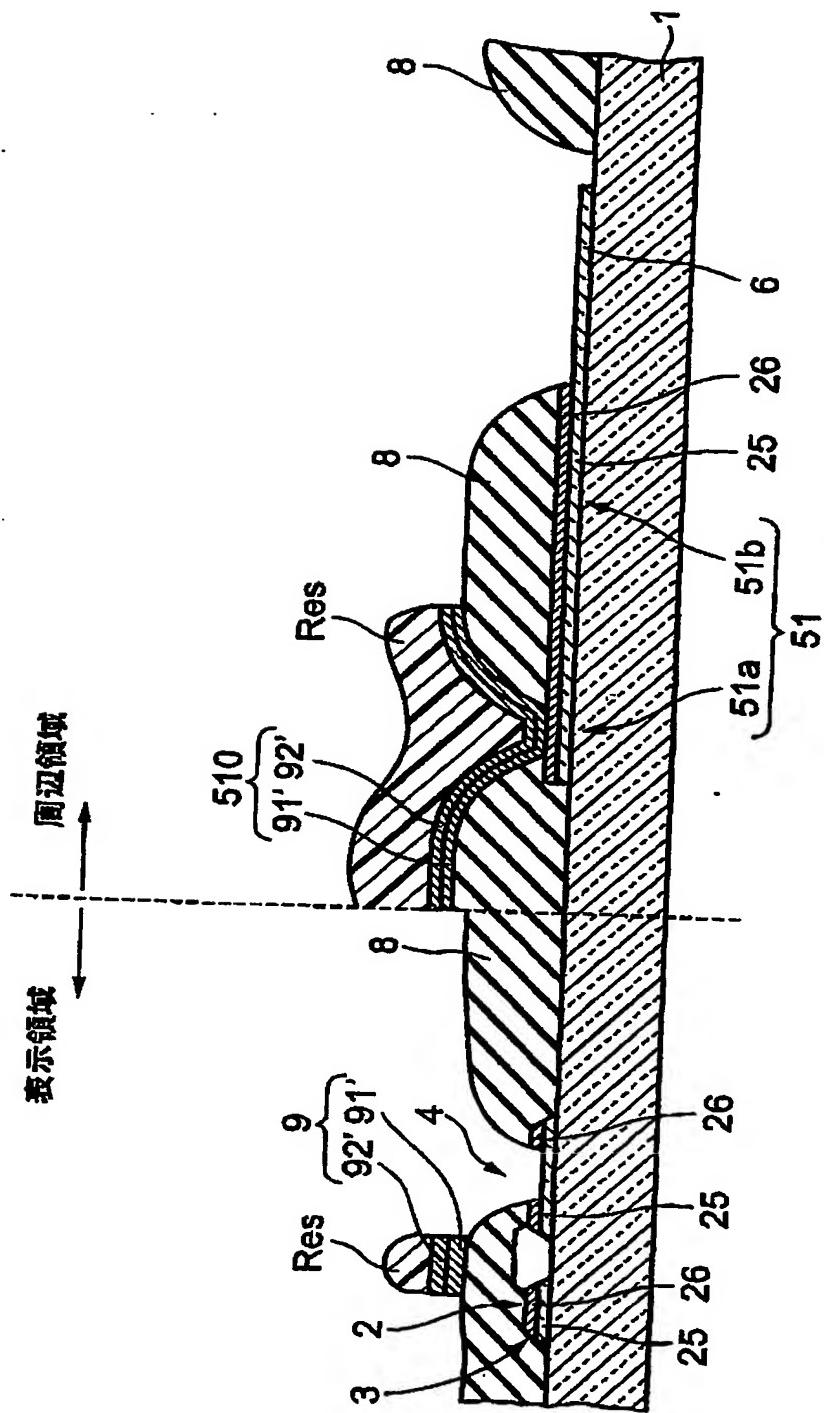
【図8】



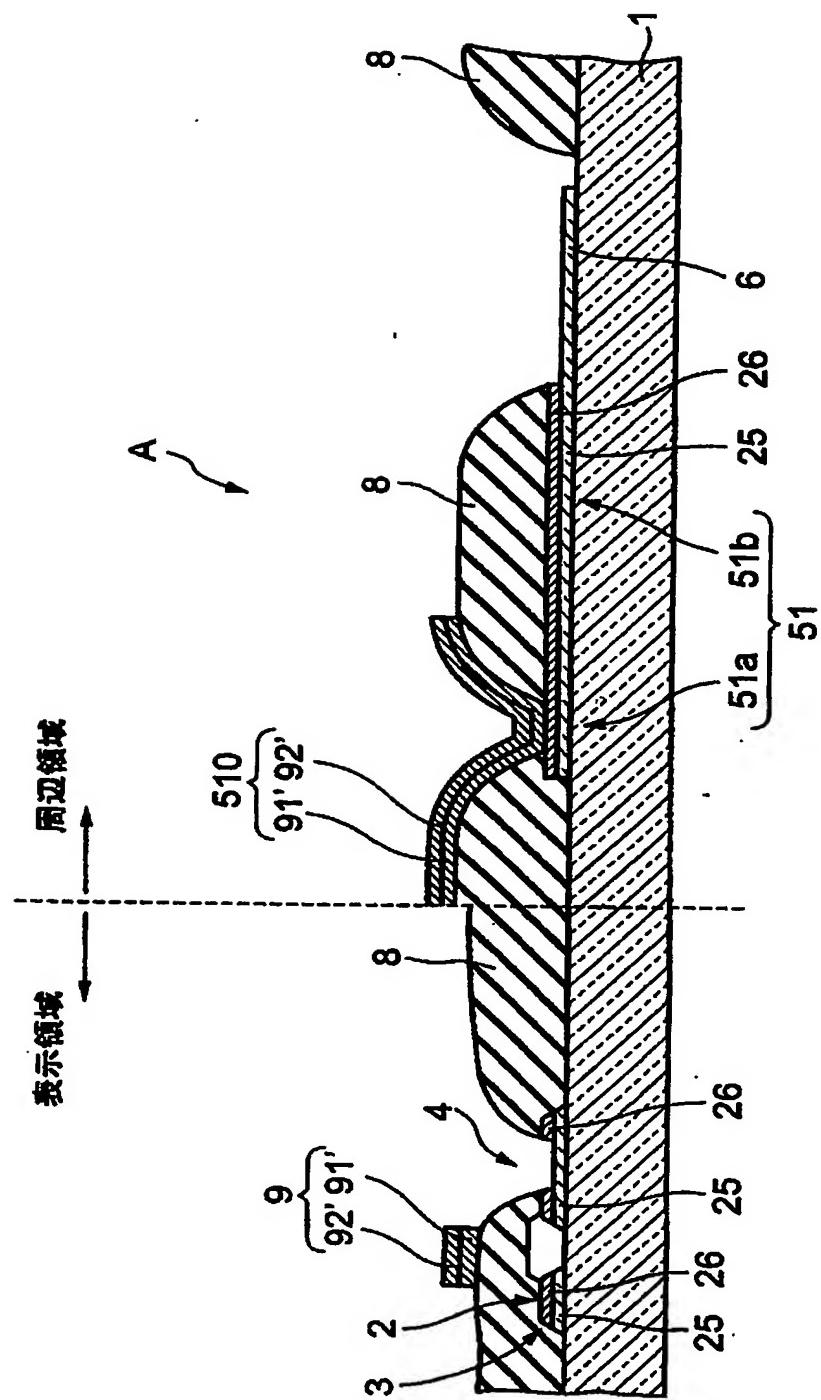
【図9】



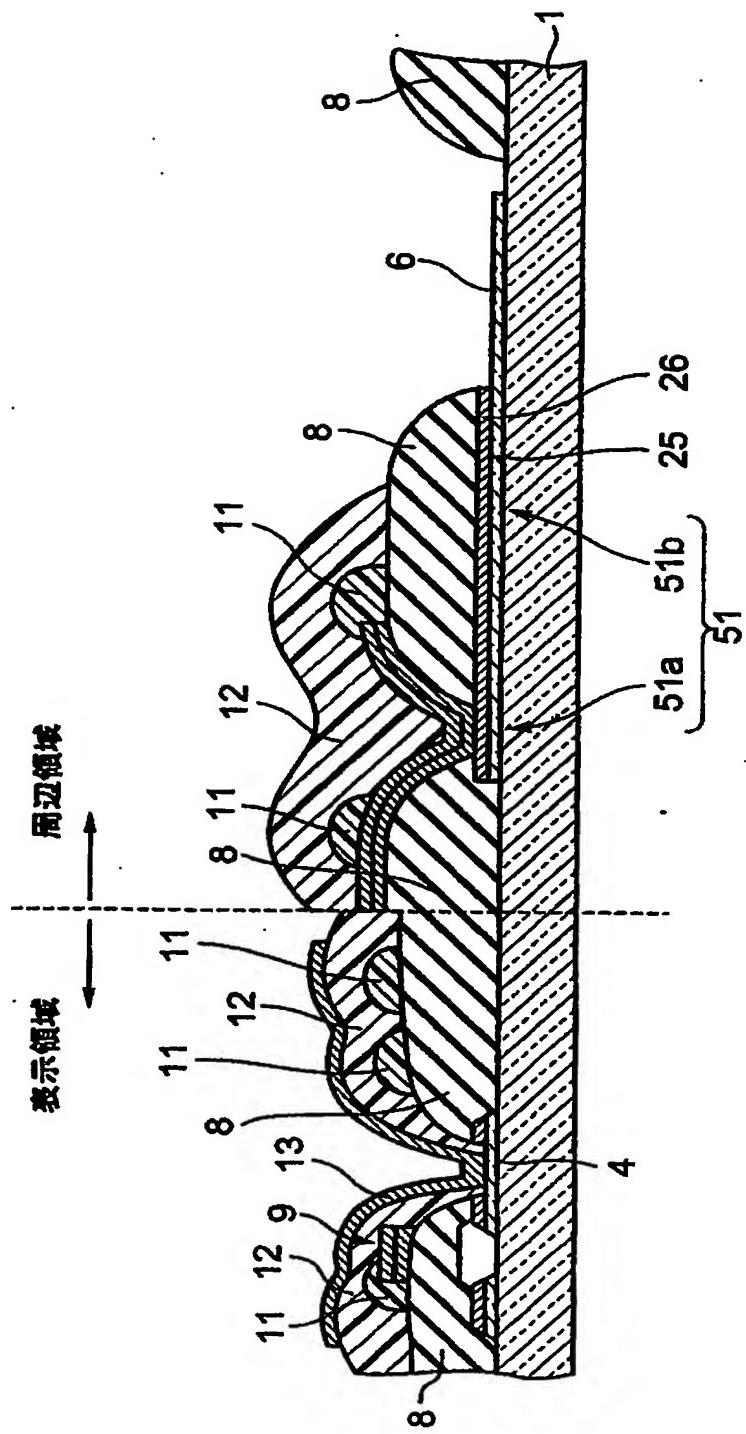
【図10】



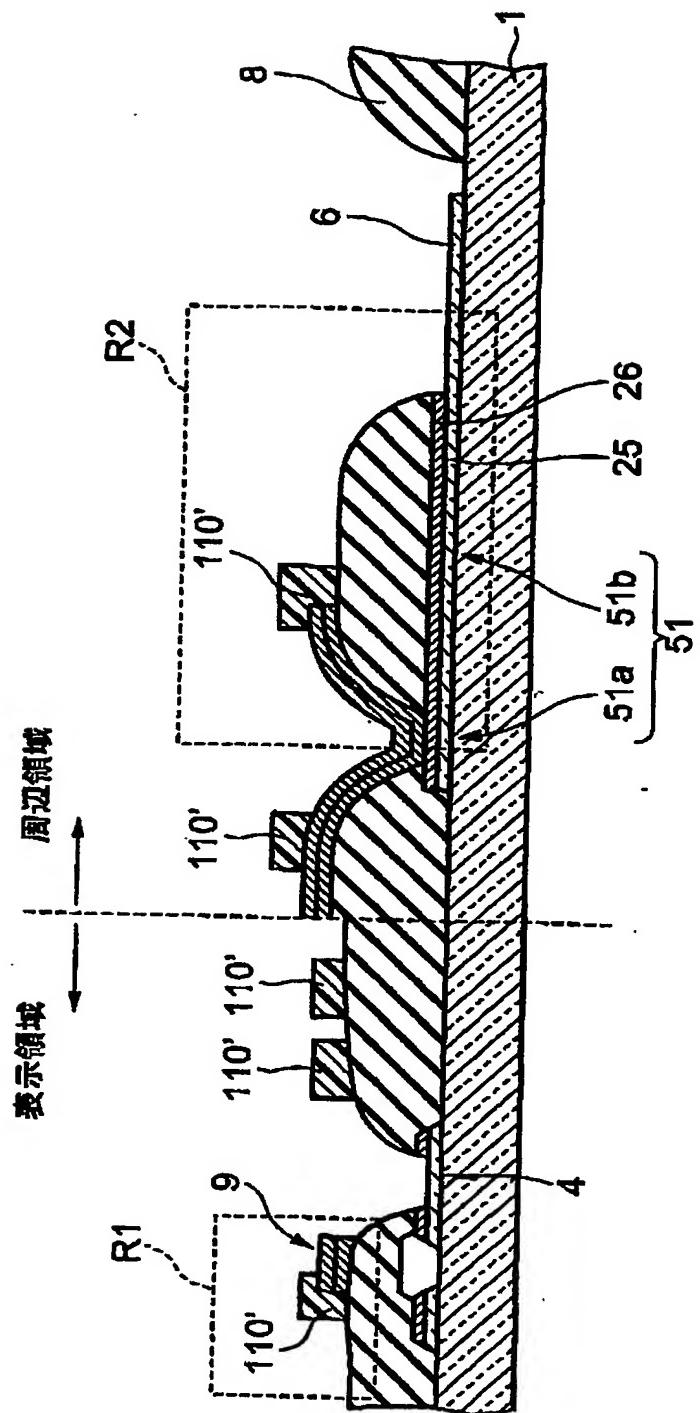
【図11】



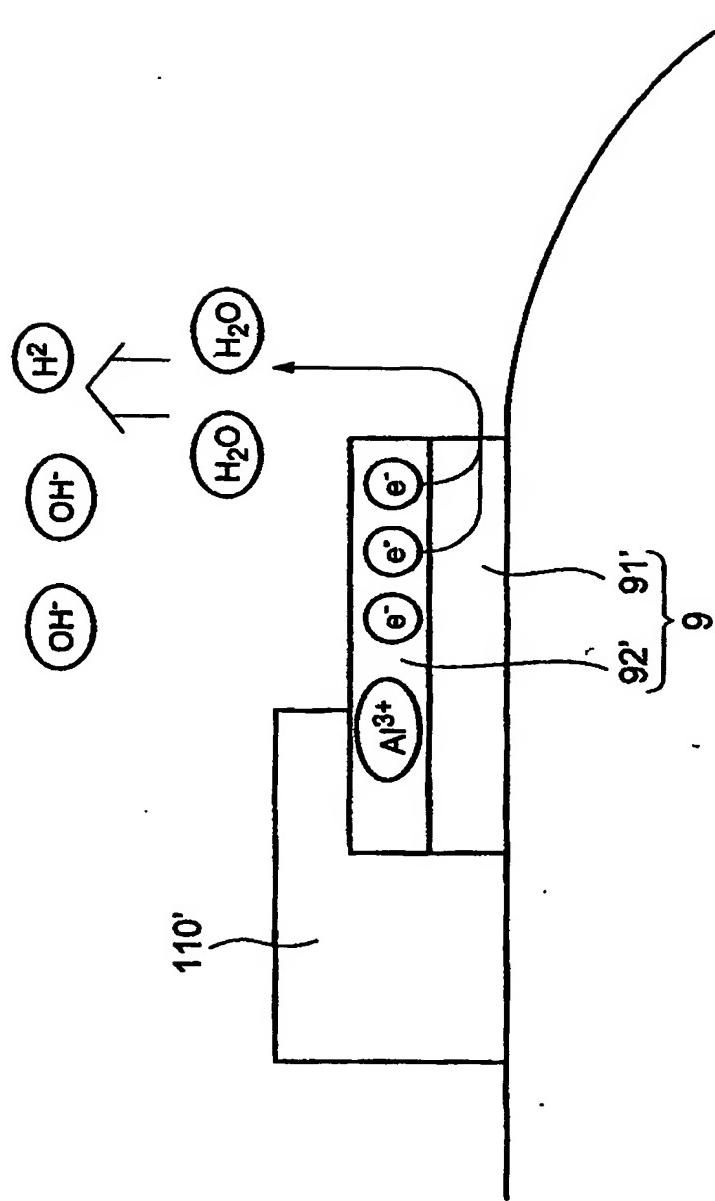
【図12】



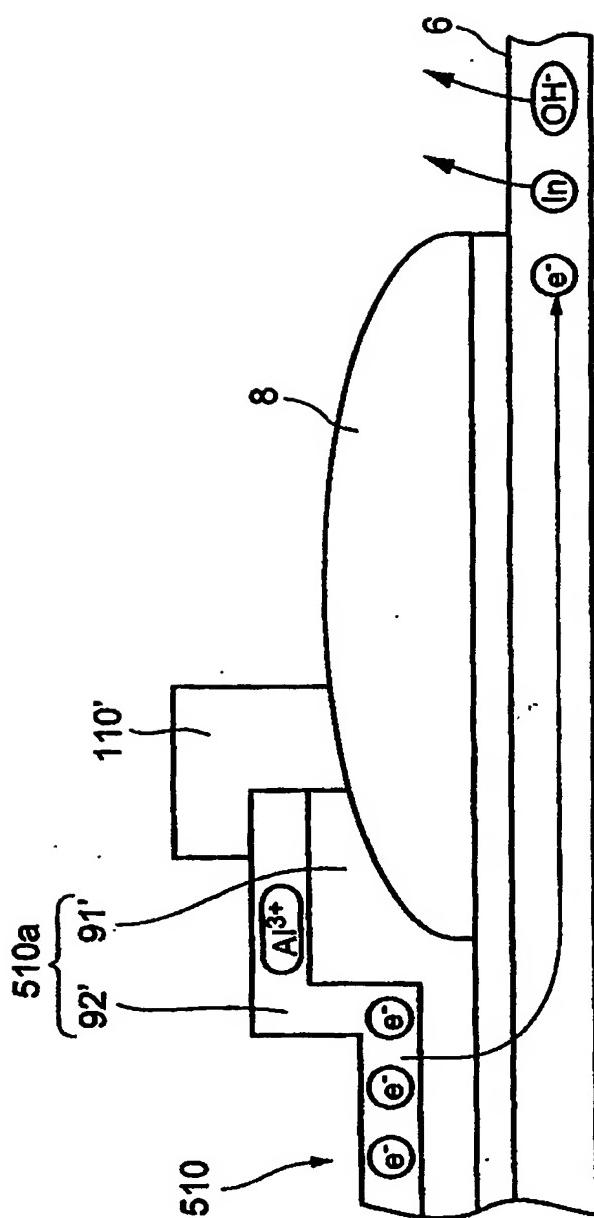
【図14】



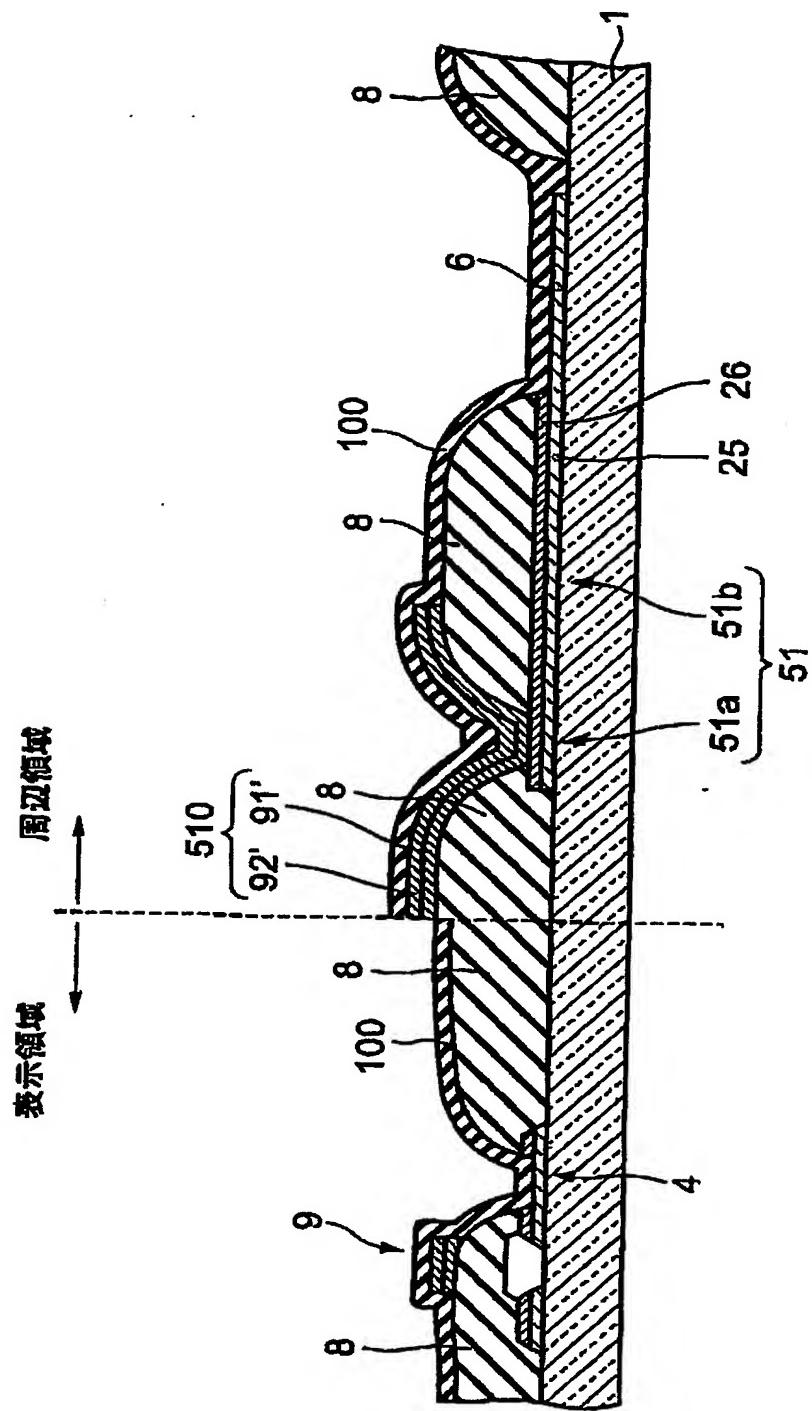
【図15】



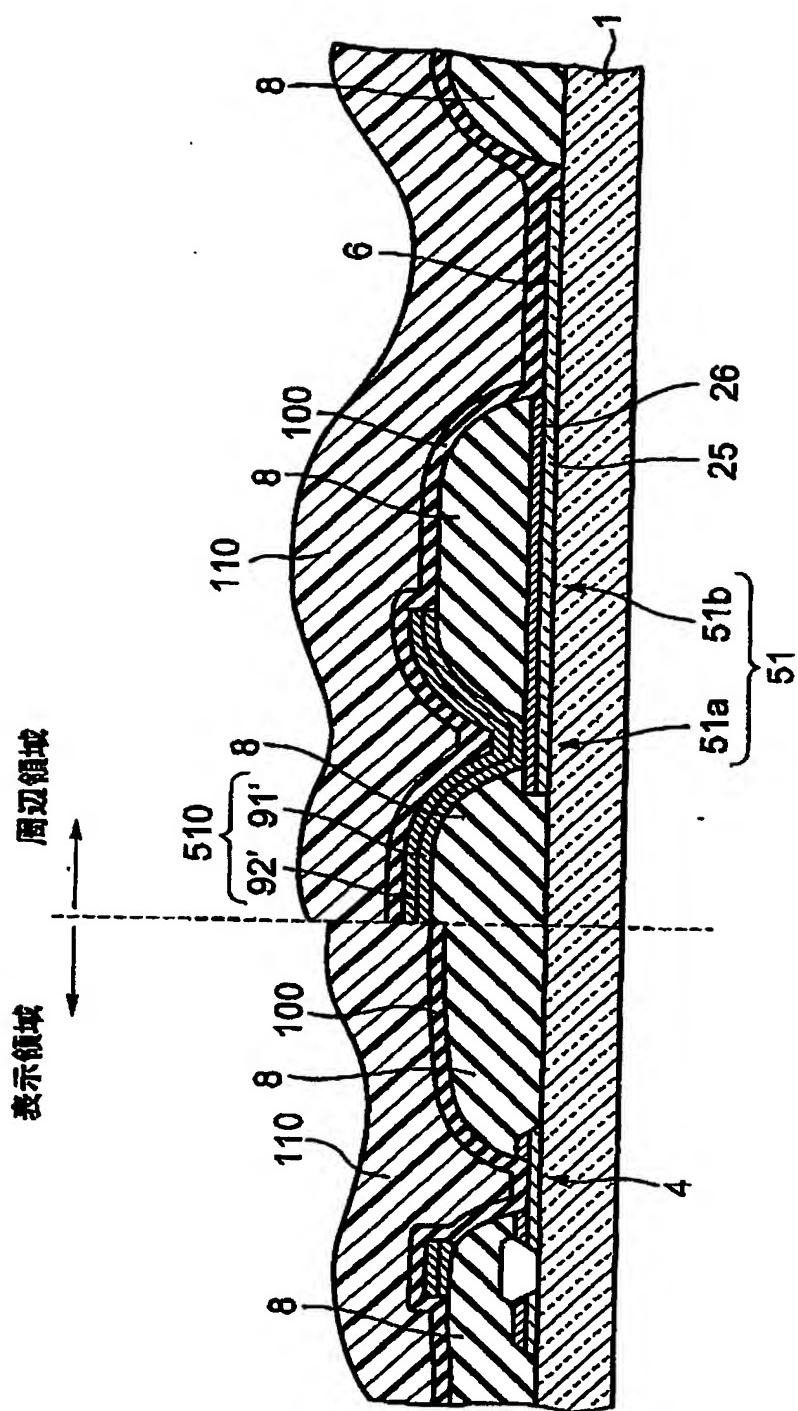
【図16】



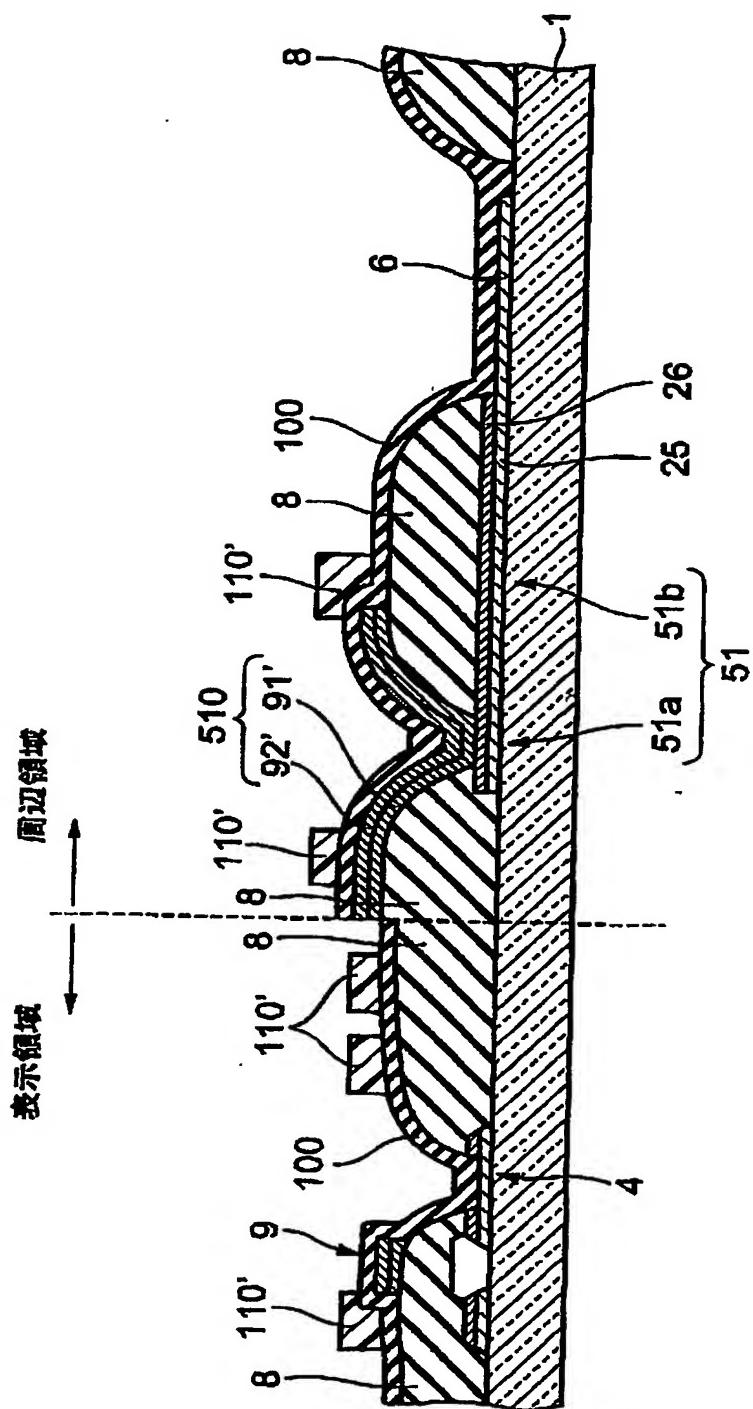
【図17】



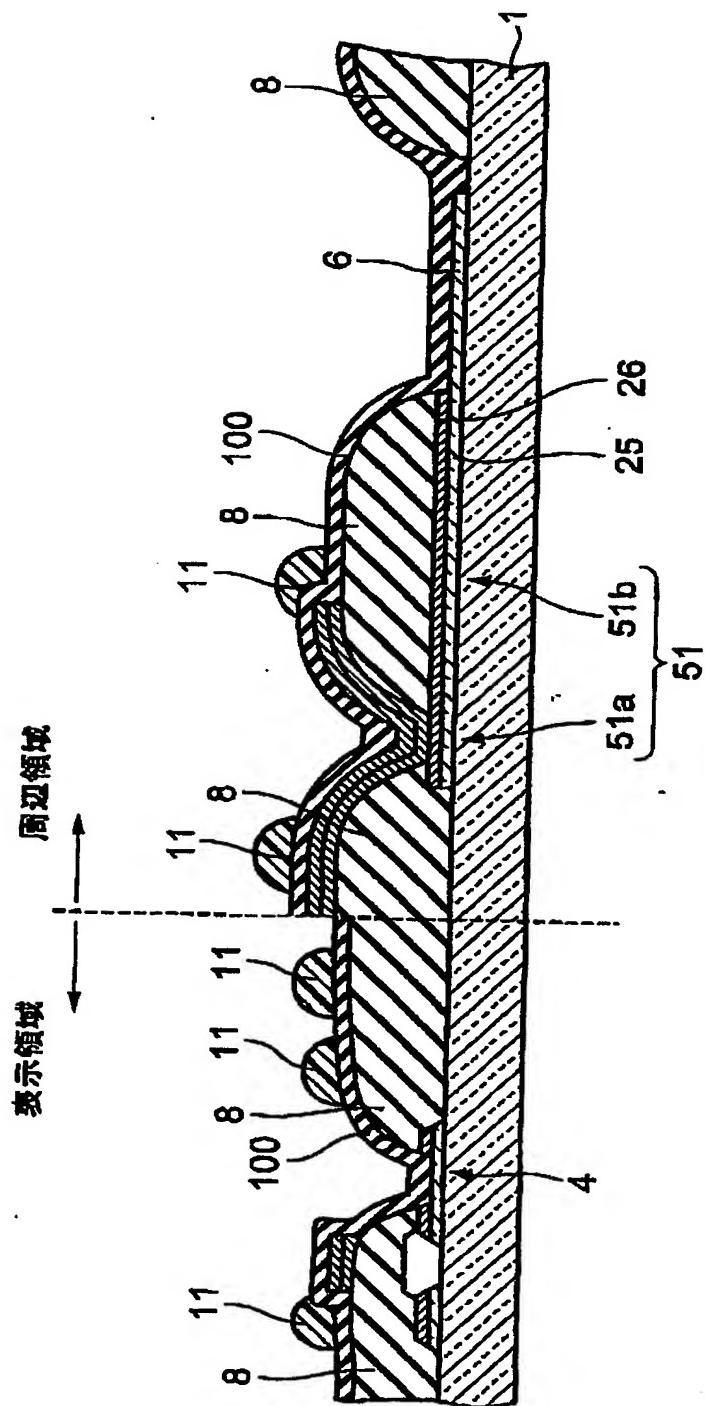
【図18】



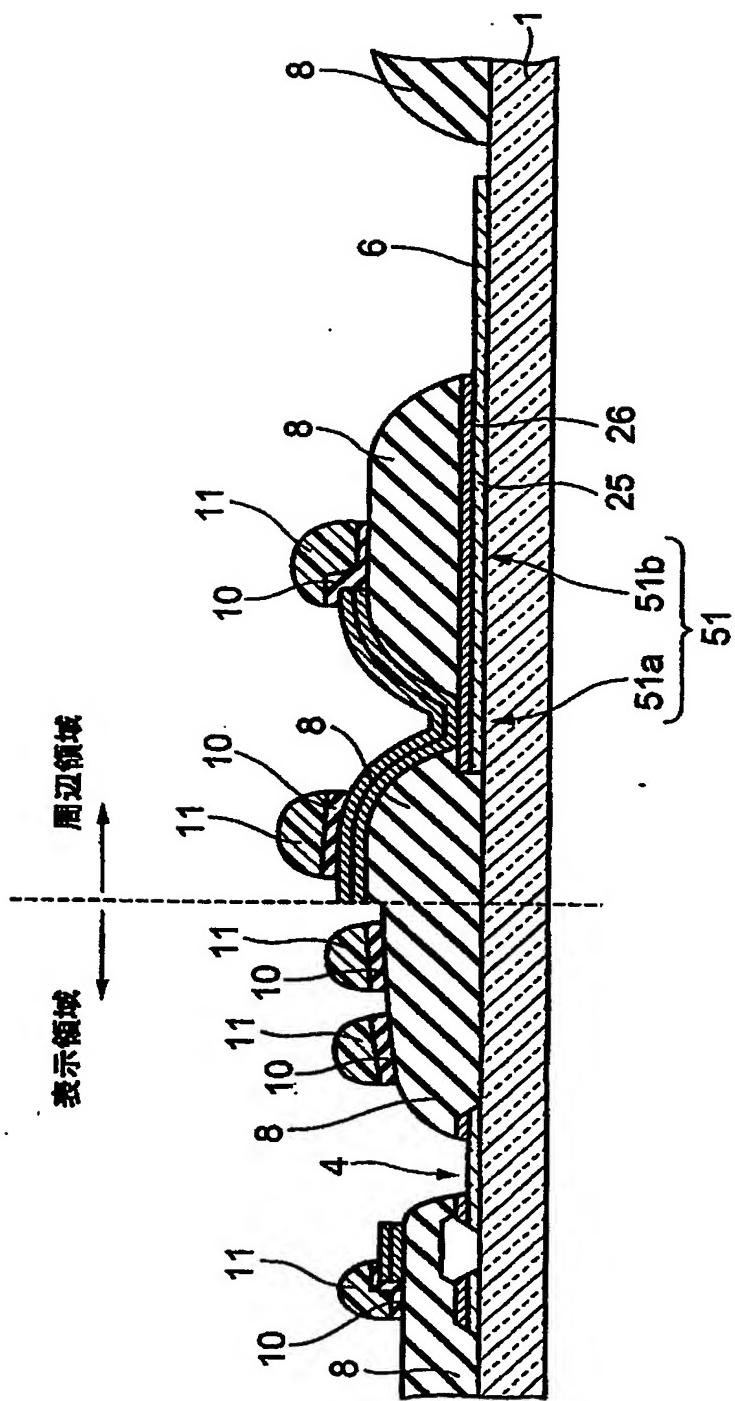
【図19】



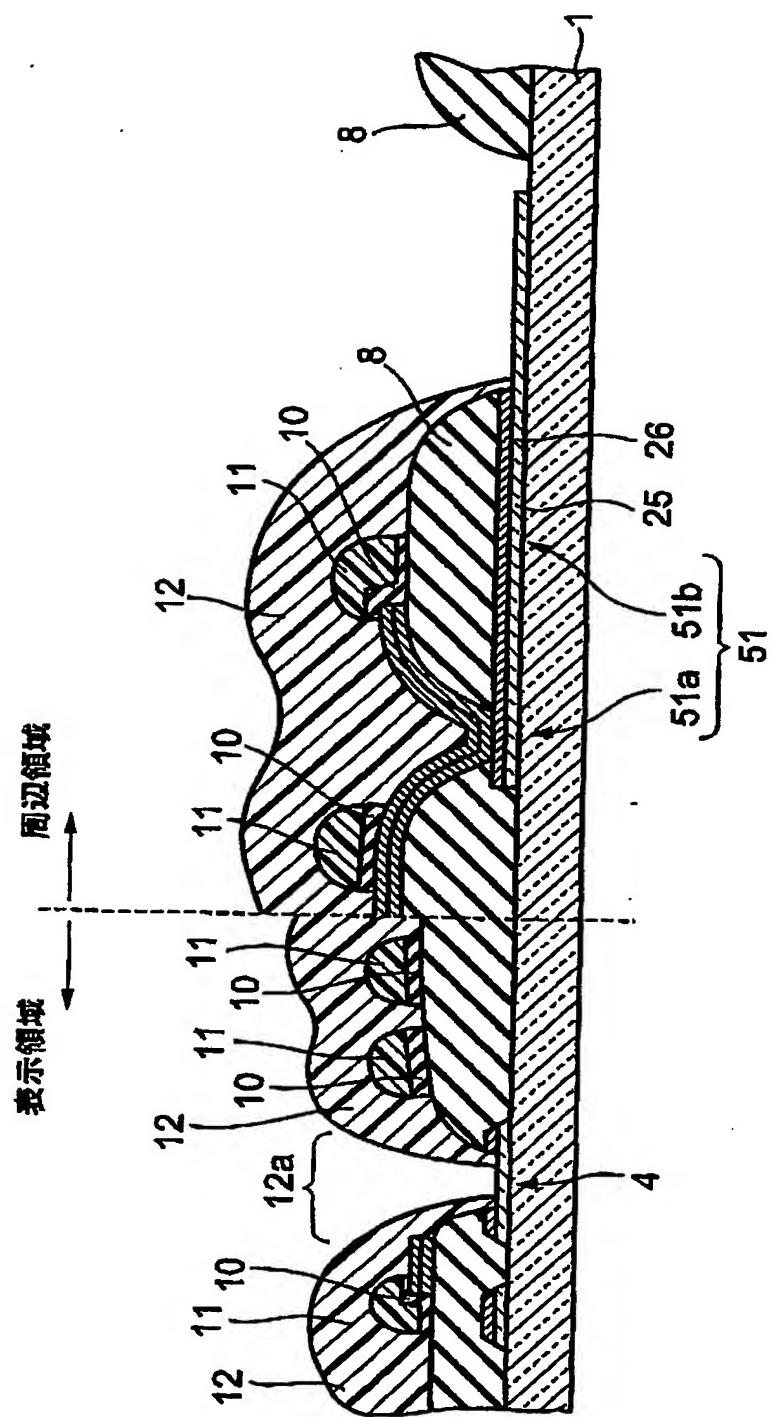
【図20】



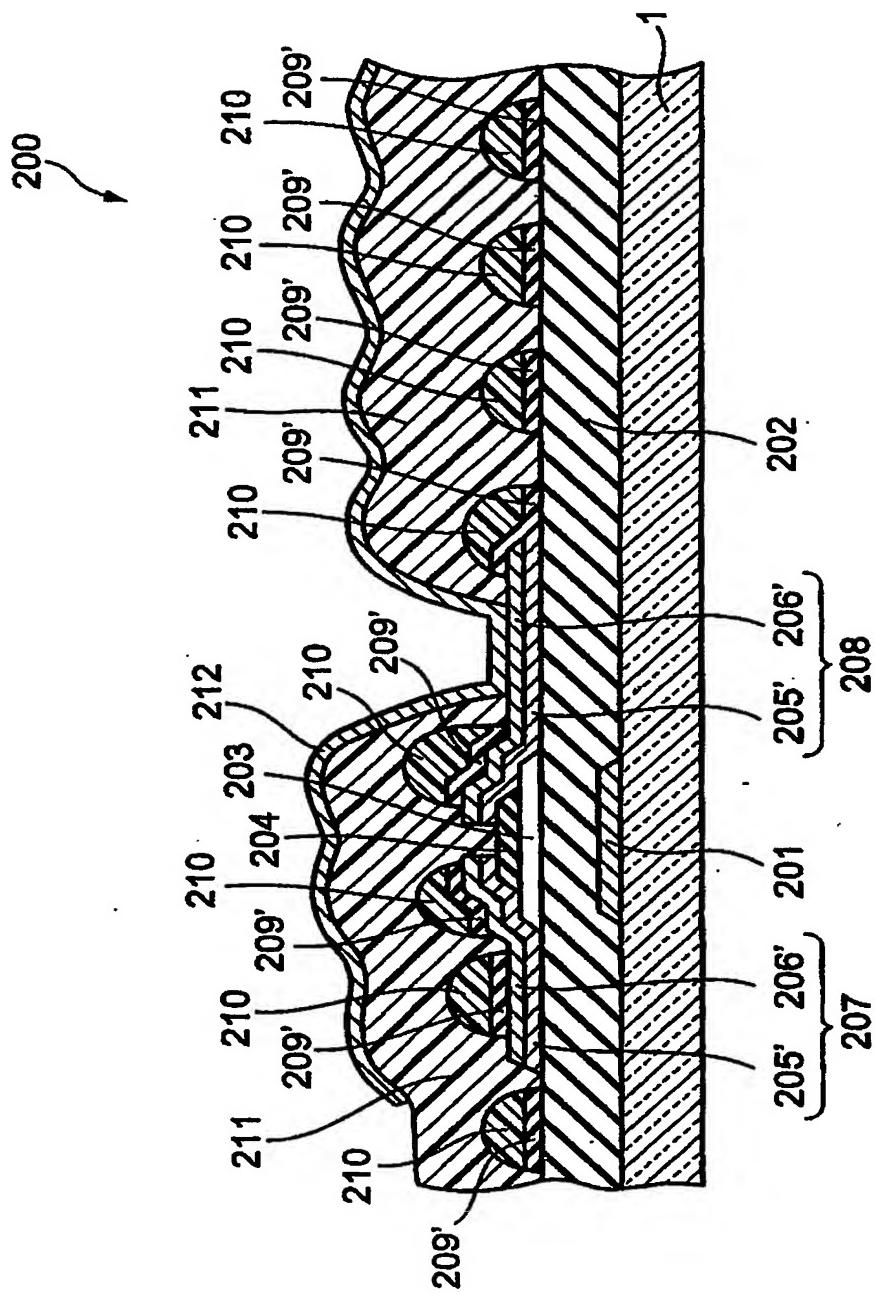
【図21】



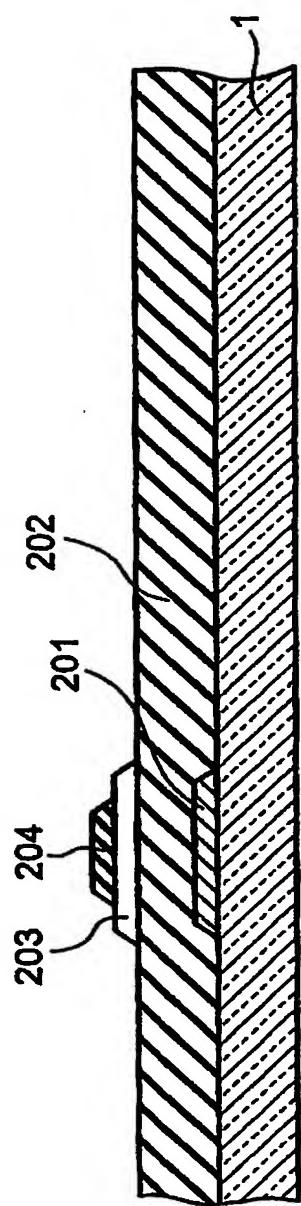
【図22】



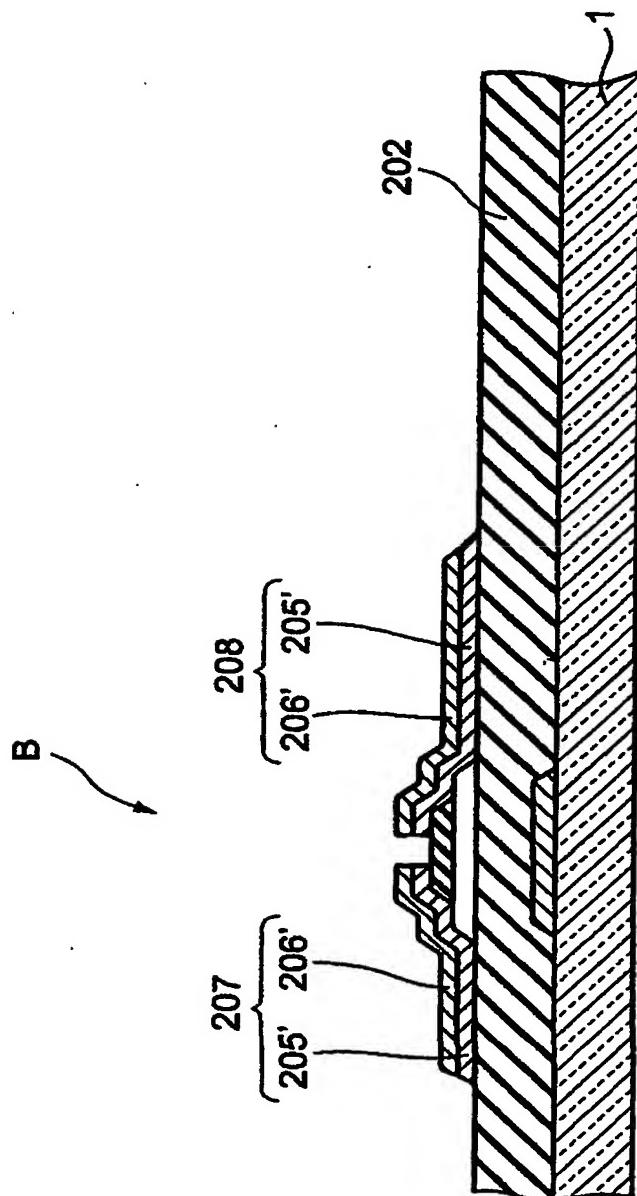
【图23】



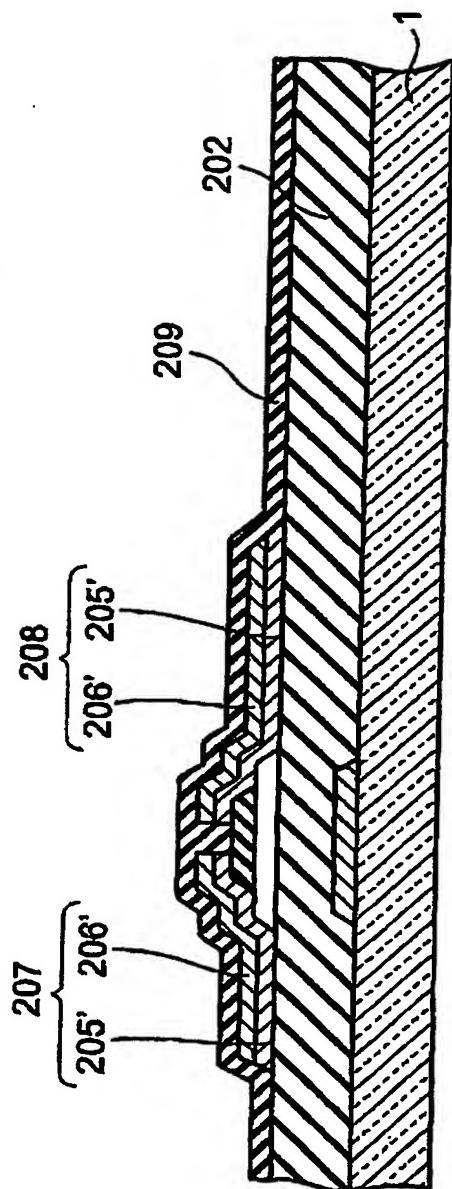
【図24】



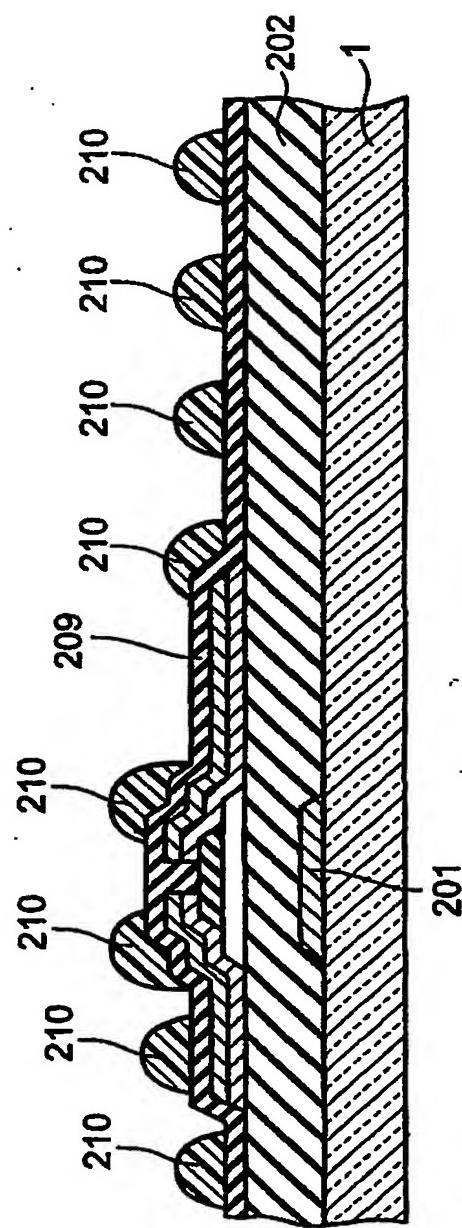
【図26】



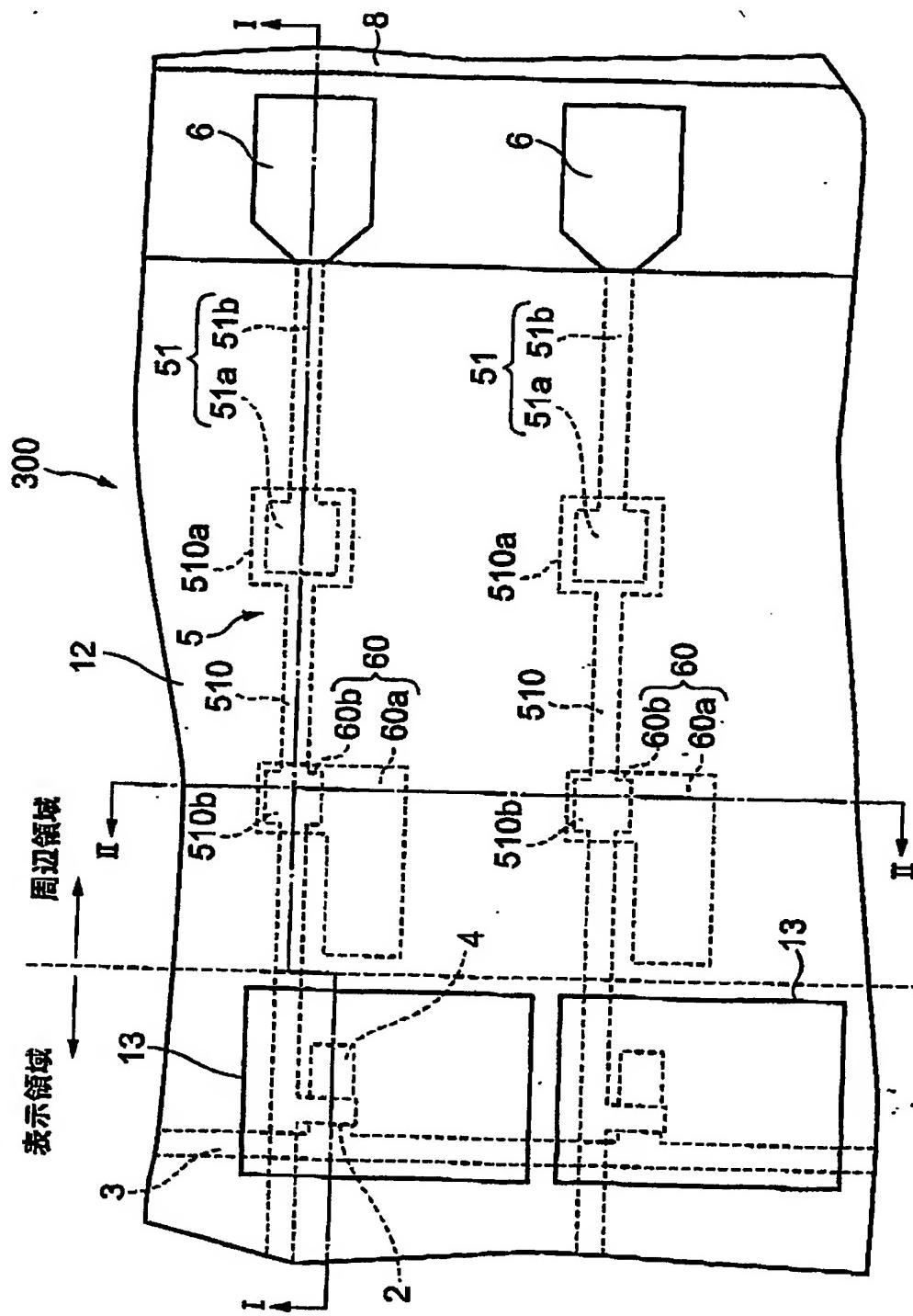
【図27】



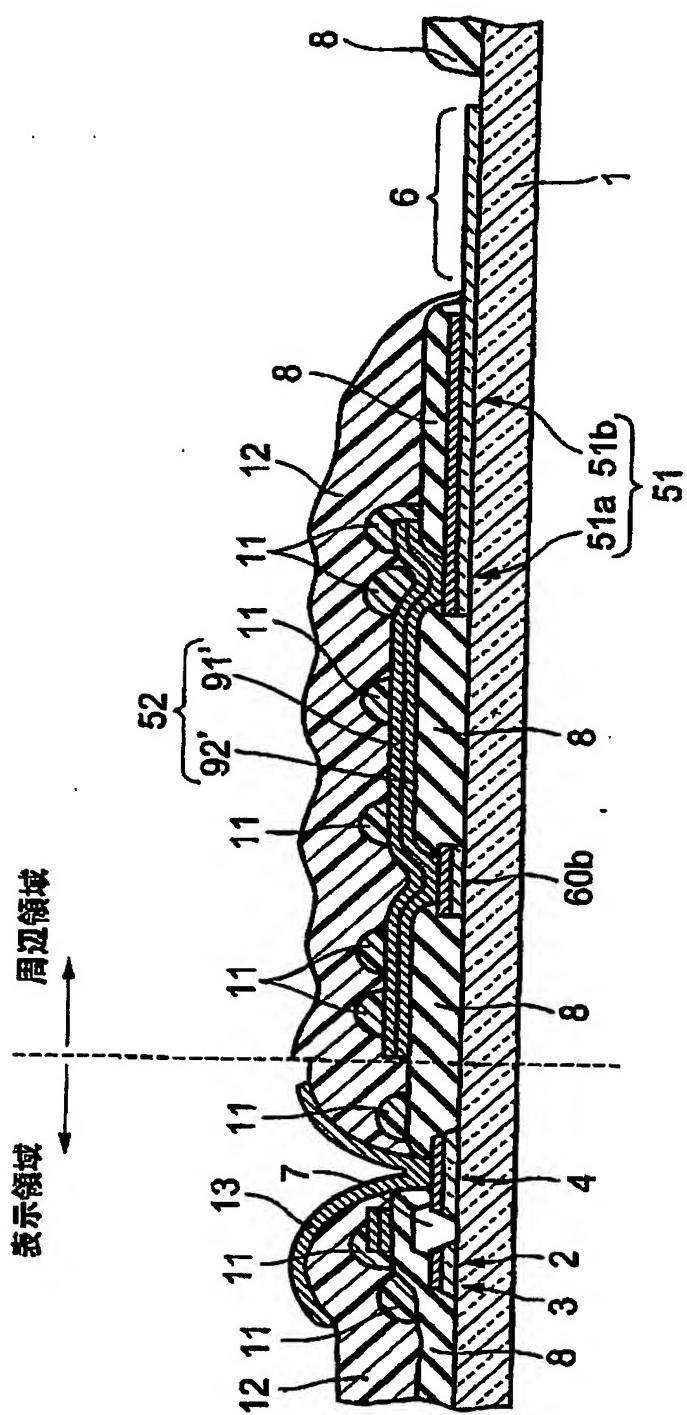
【図28】



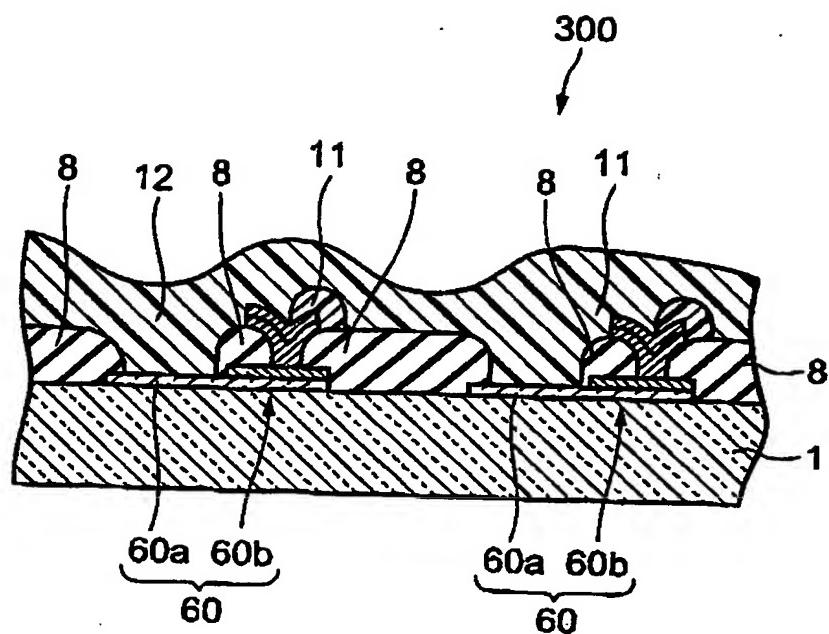
【図29】



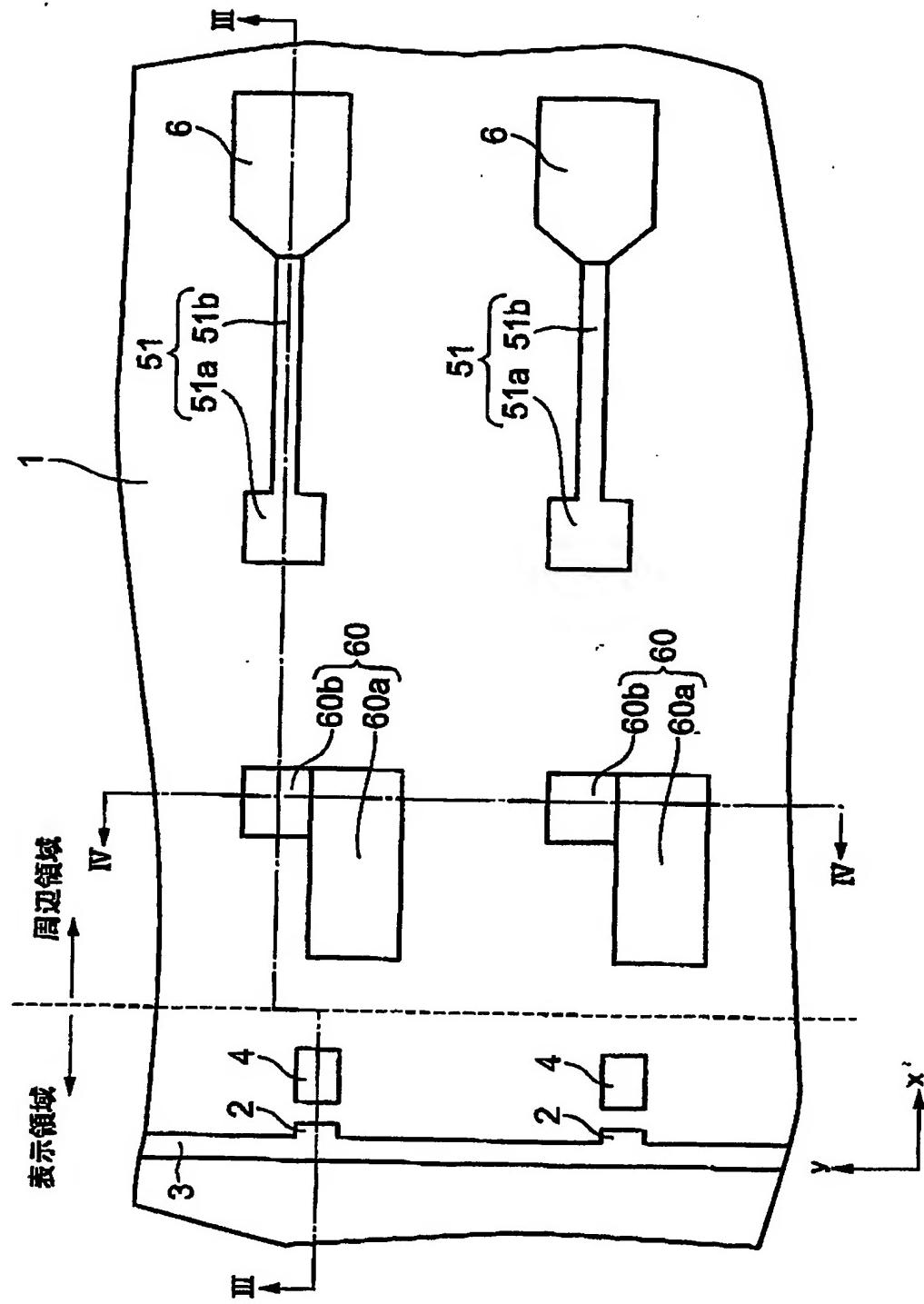
【図30】



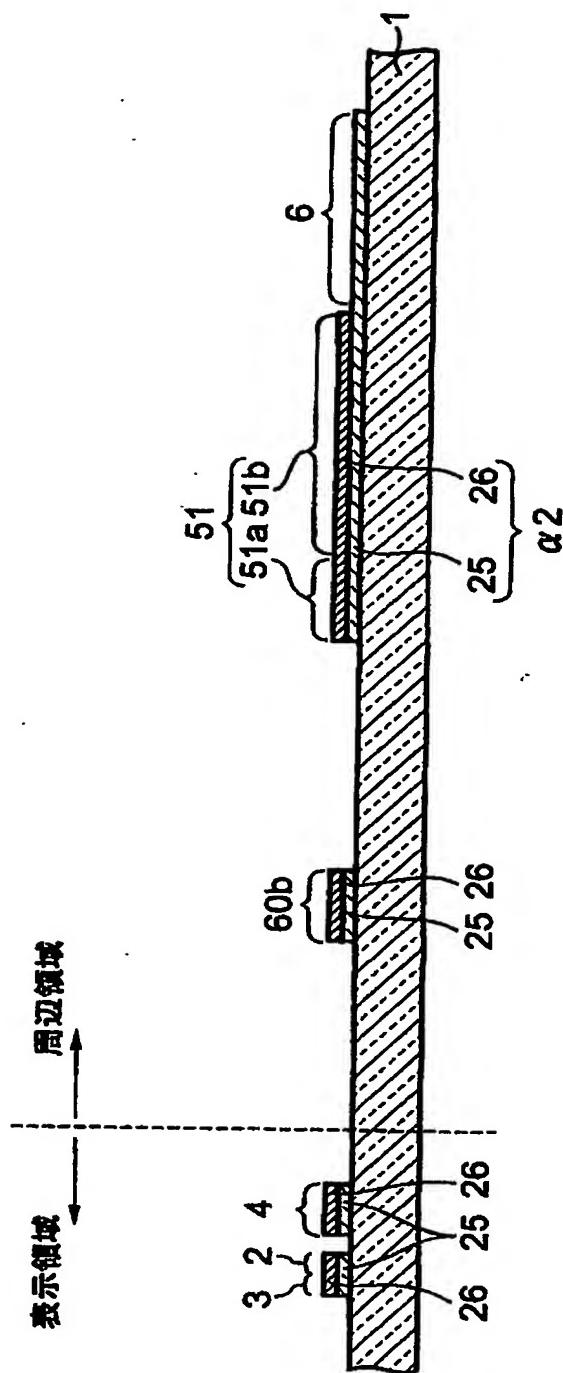
【図31】



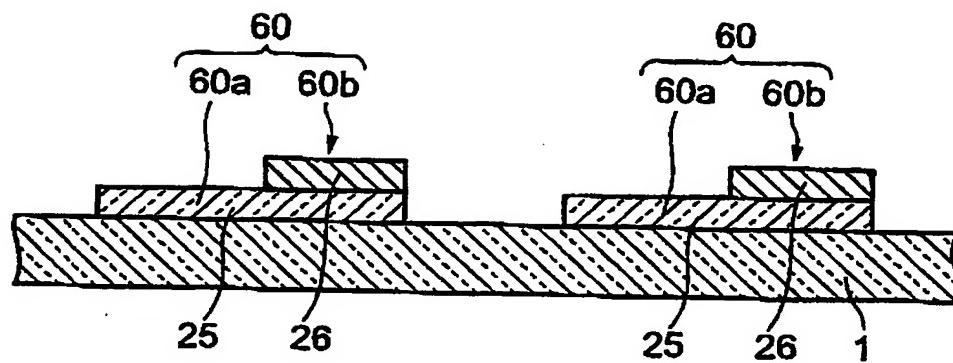
【図32】



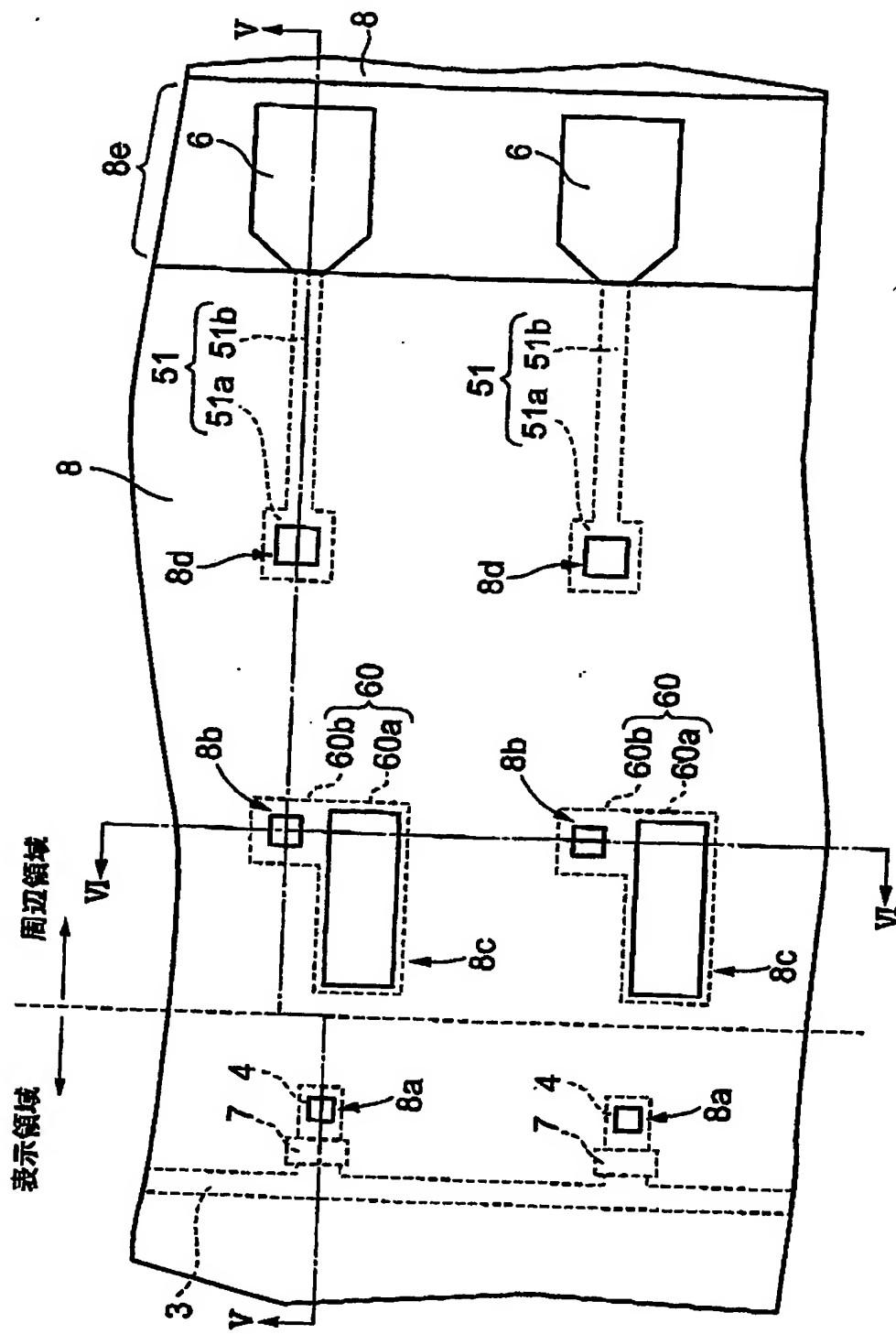
【図33】



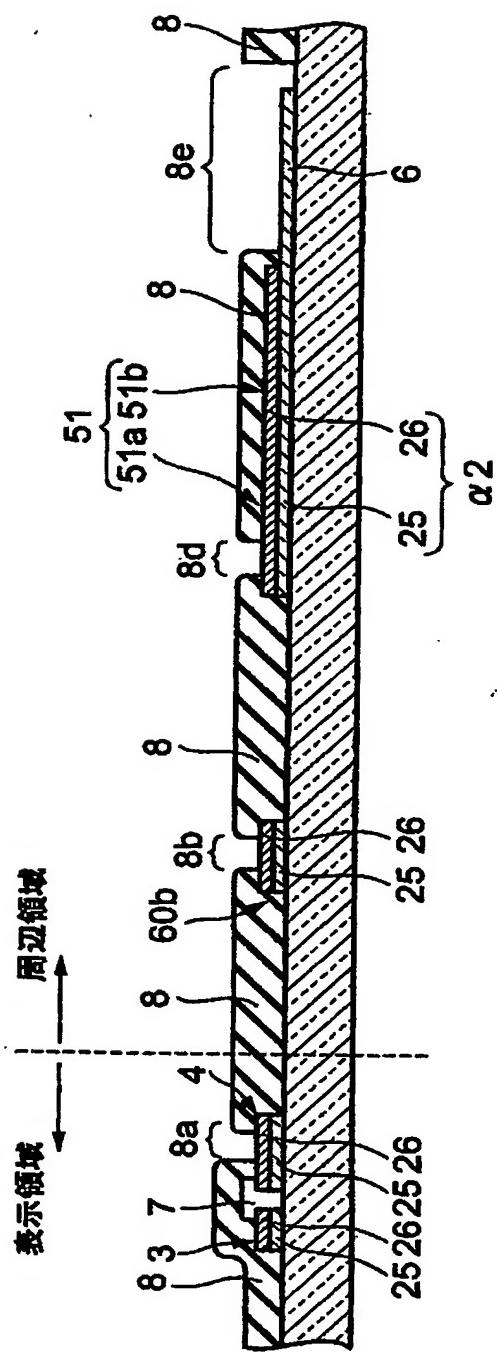
【図34】



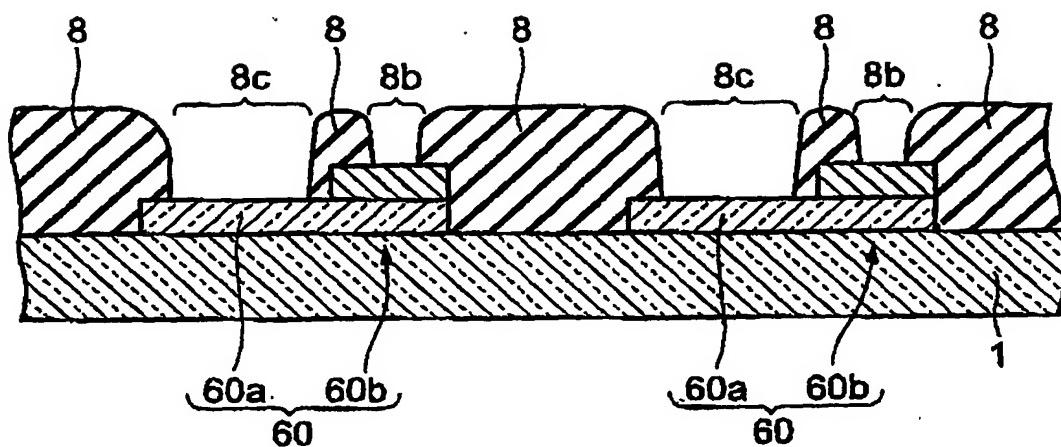
【図35】



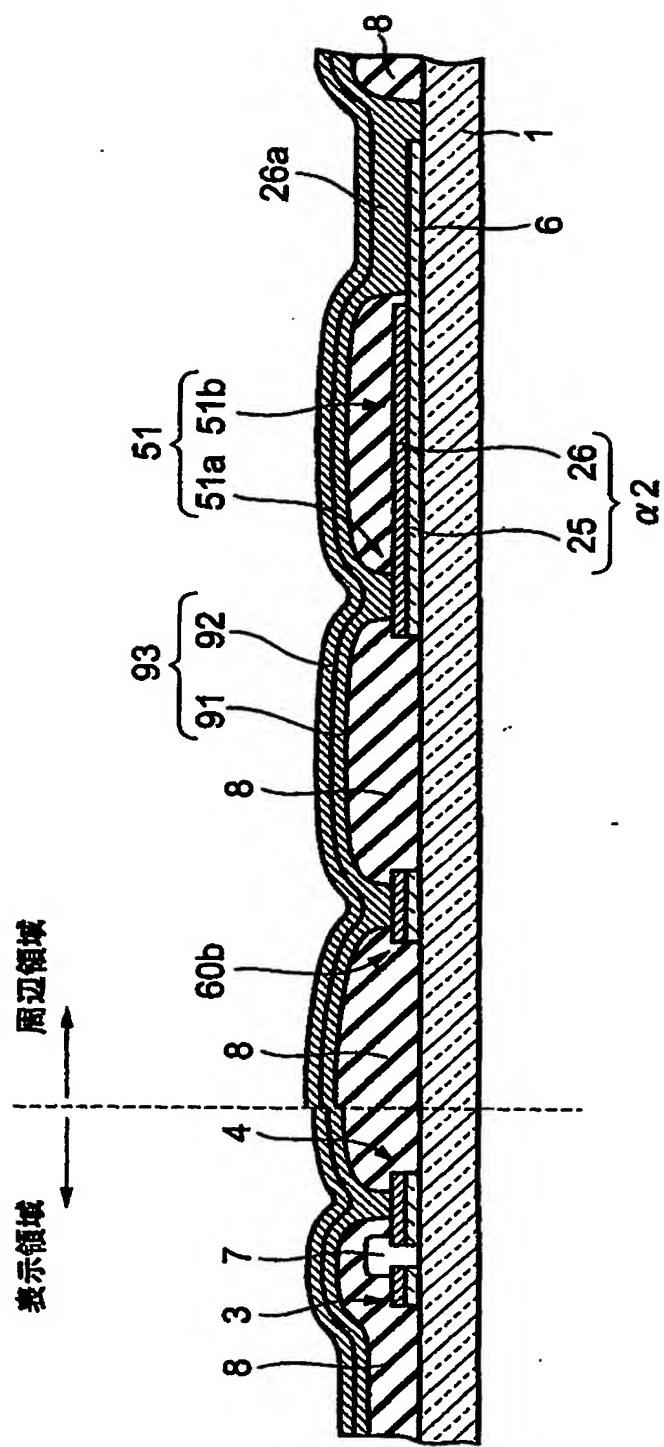
【図36】



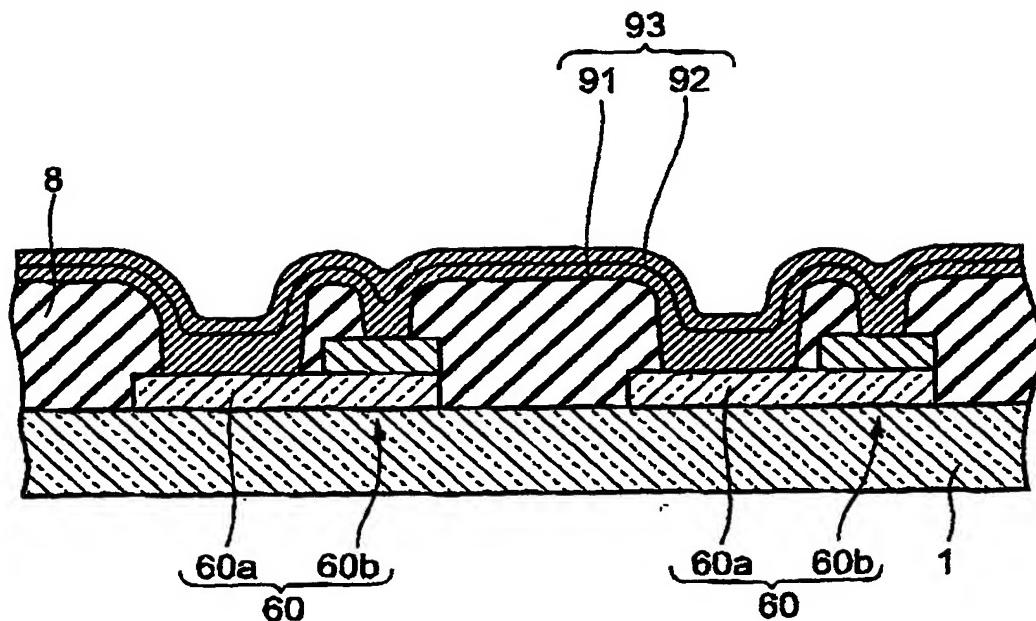
【図37】



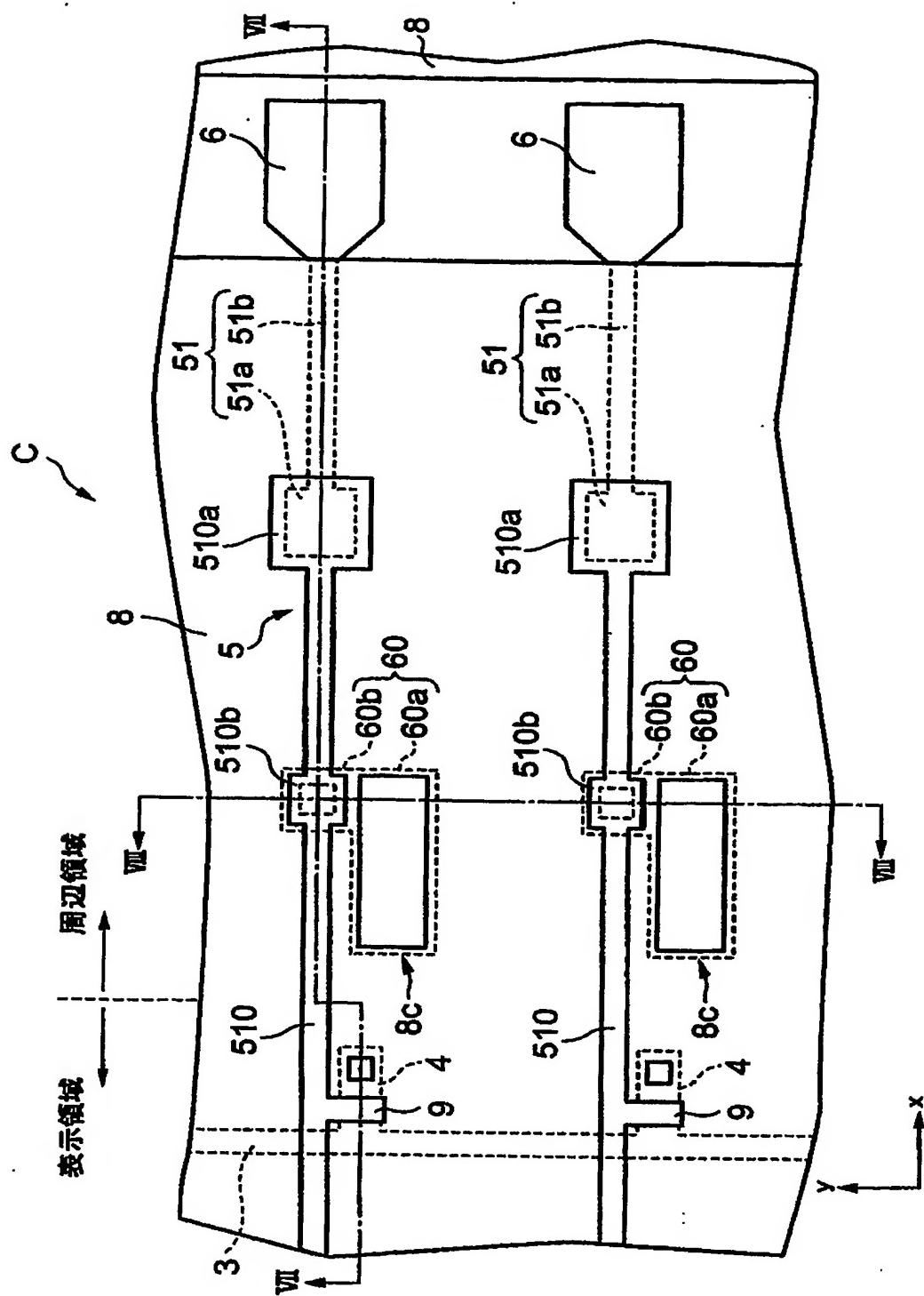
【図38】



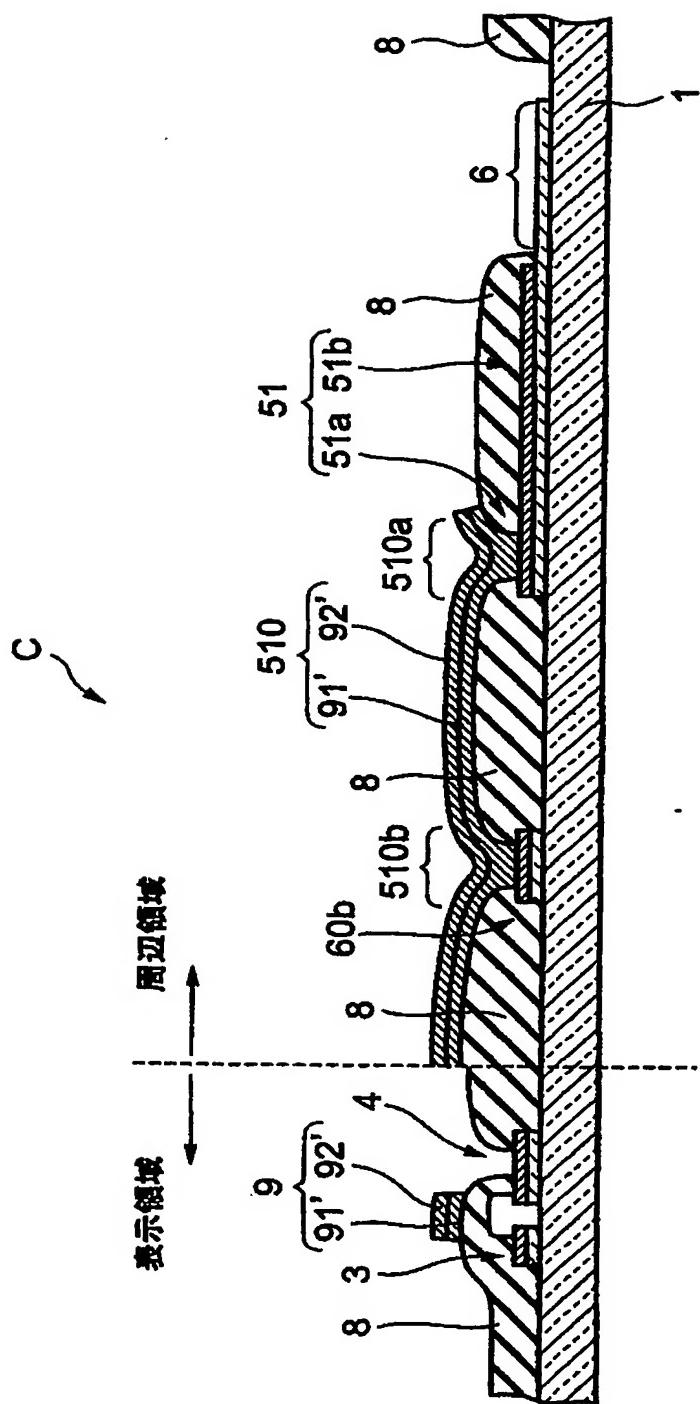
【図39】



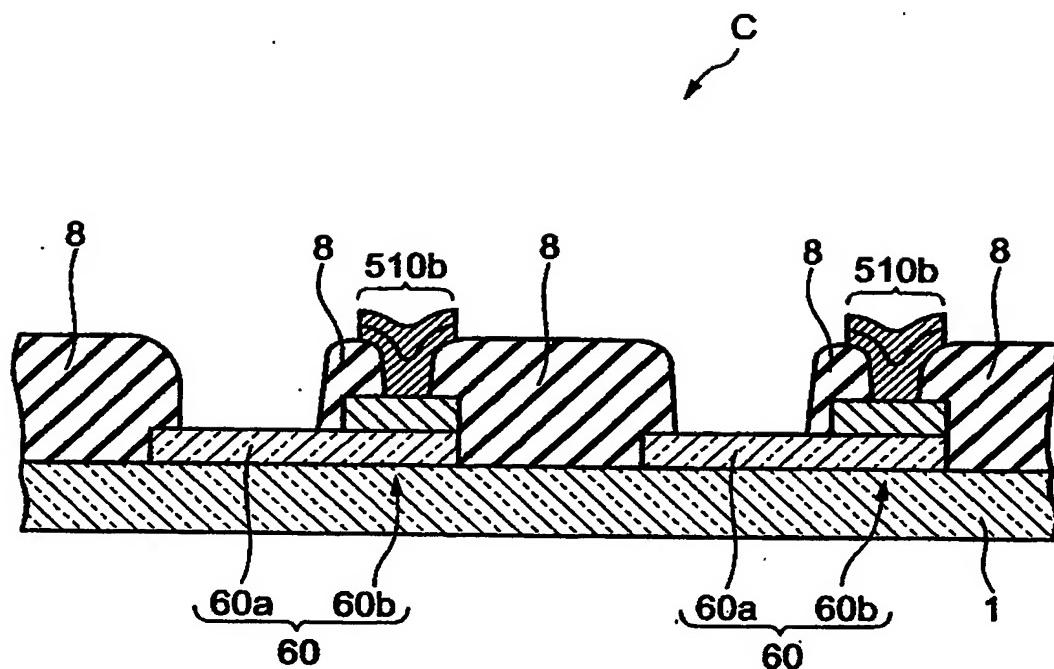
【図40】



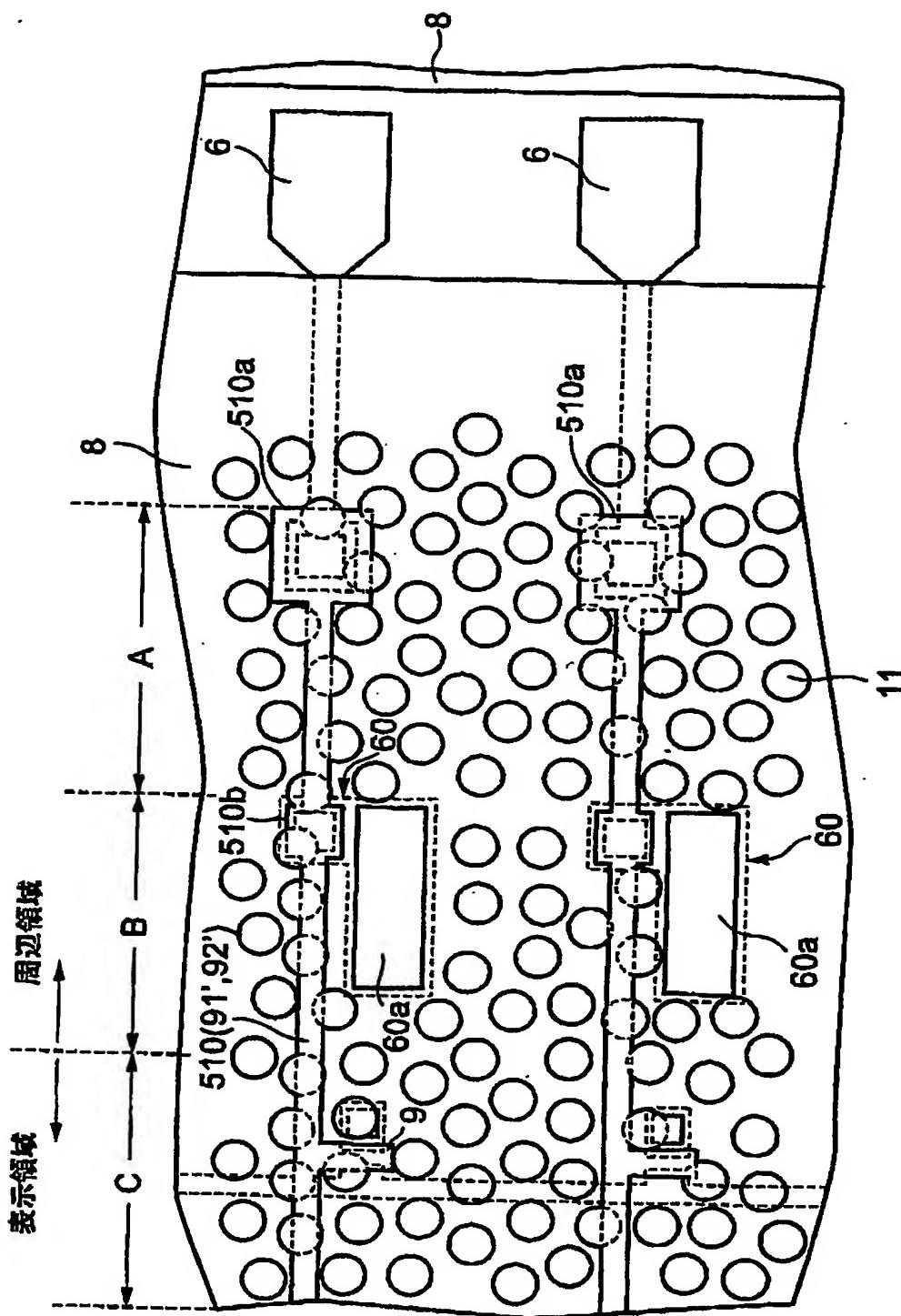
【図41】



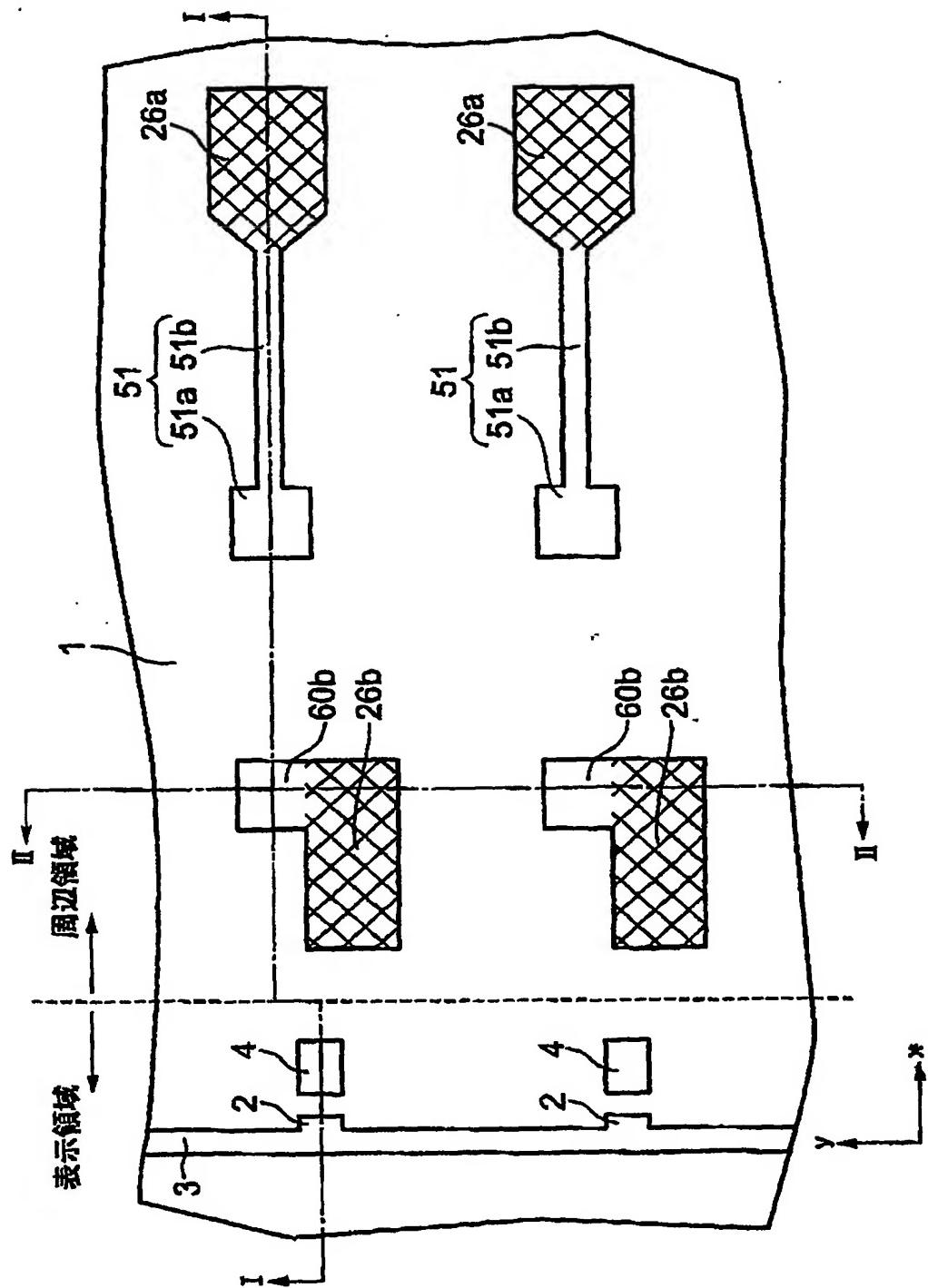
【図42】



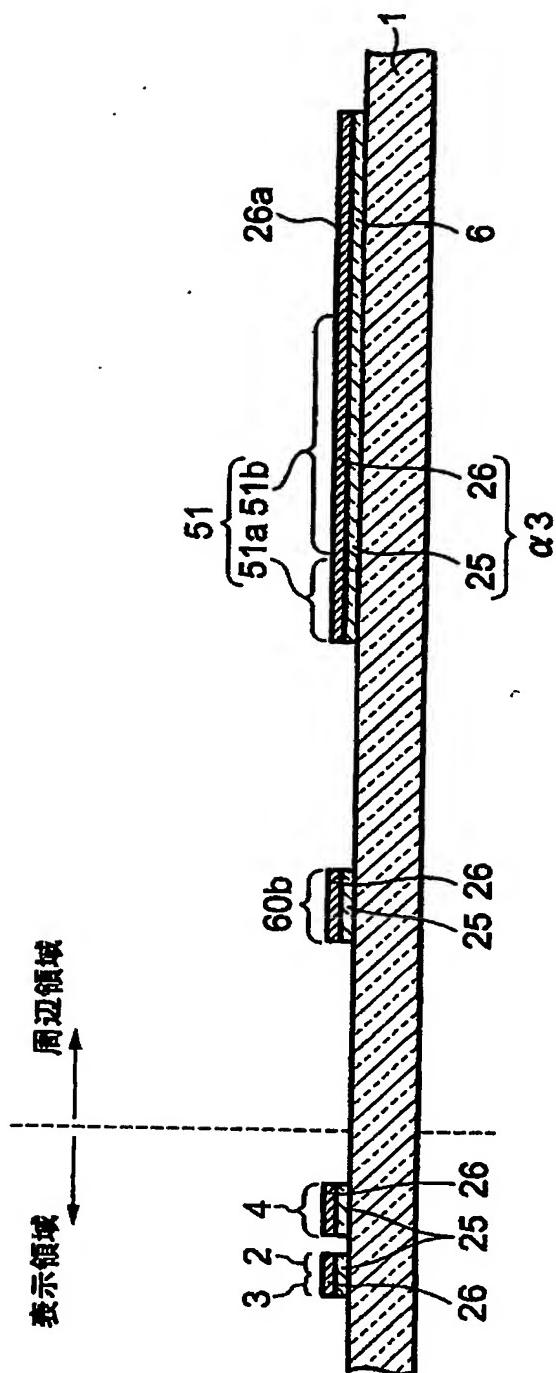
【図43】



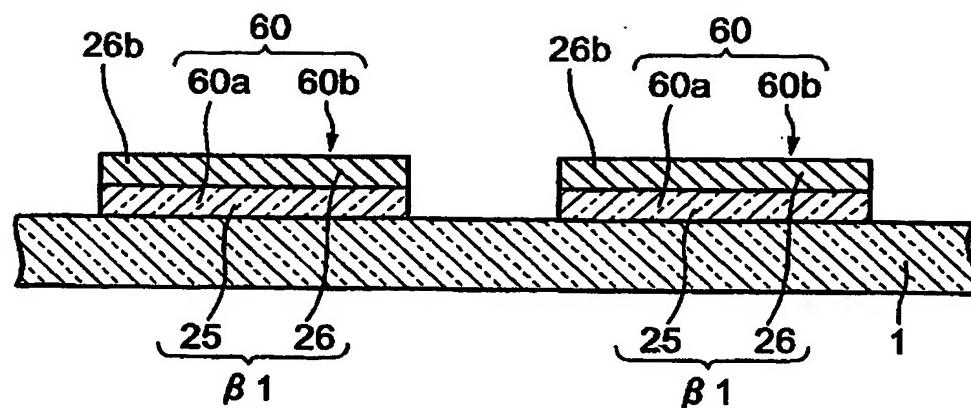
【図44】



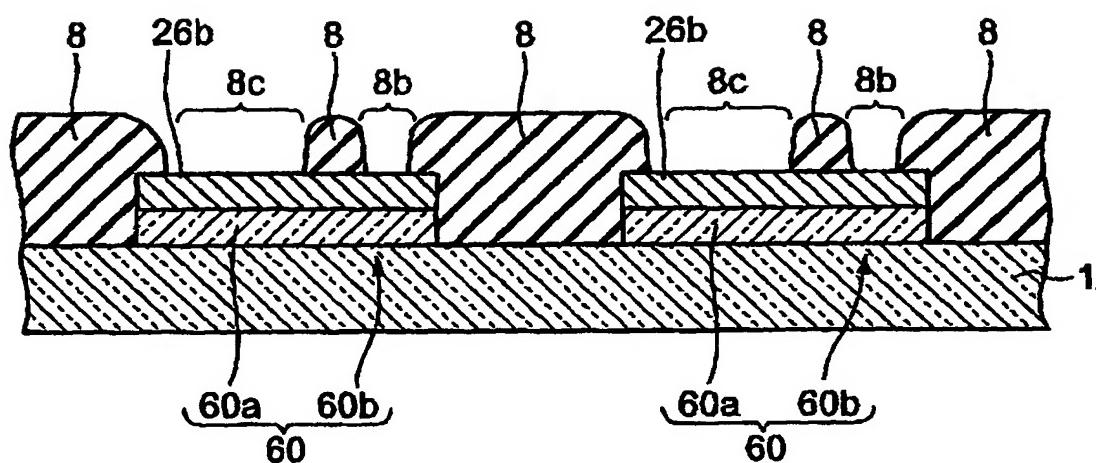
【図45】



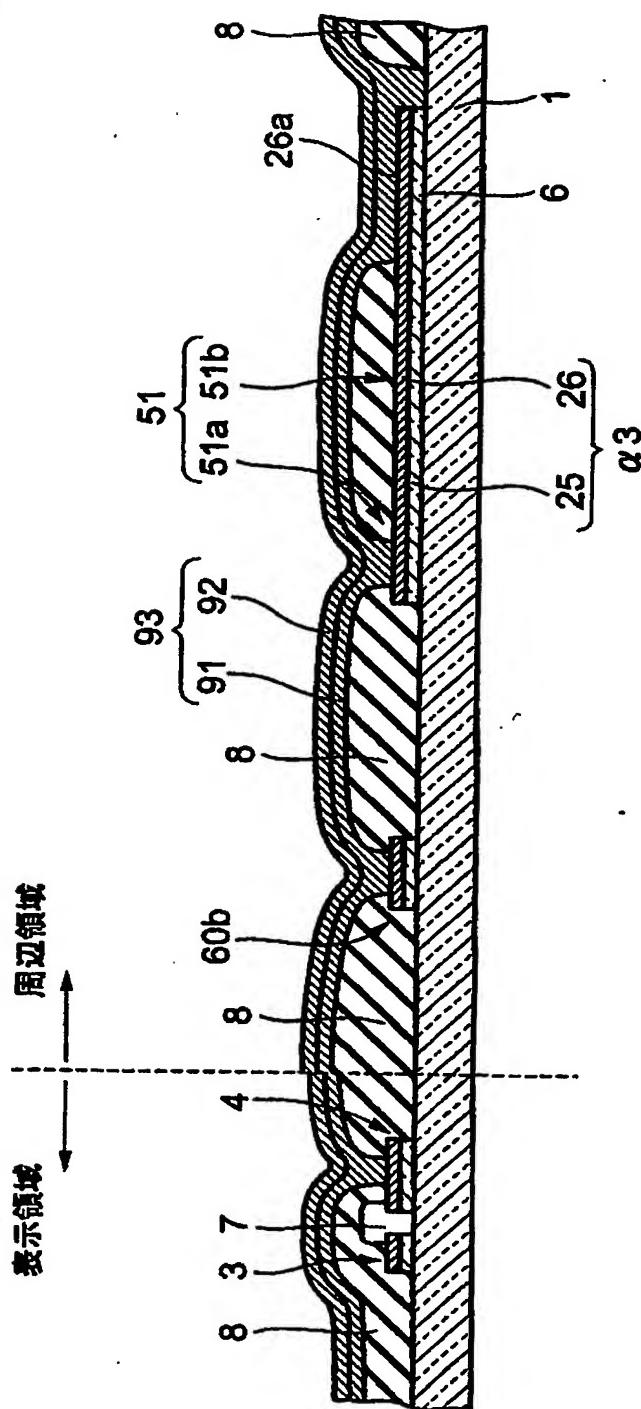
【図46】



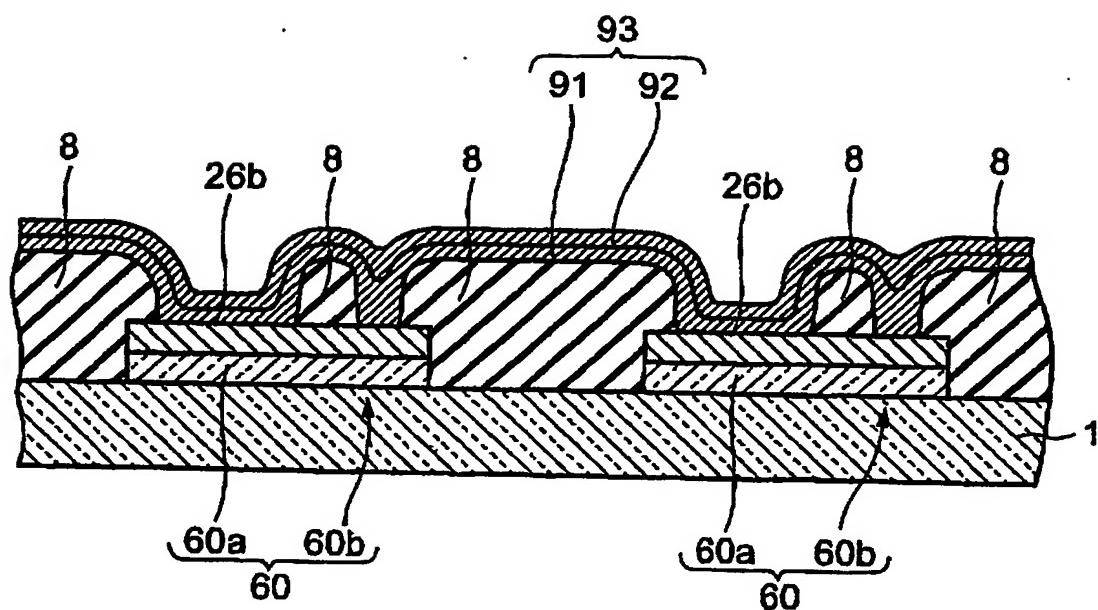
【図49】



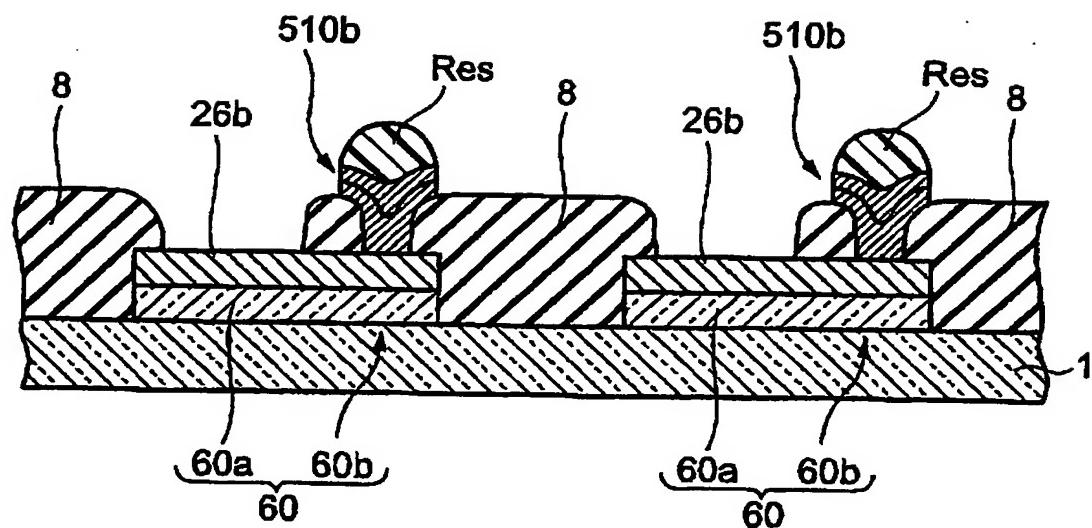
【図50】



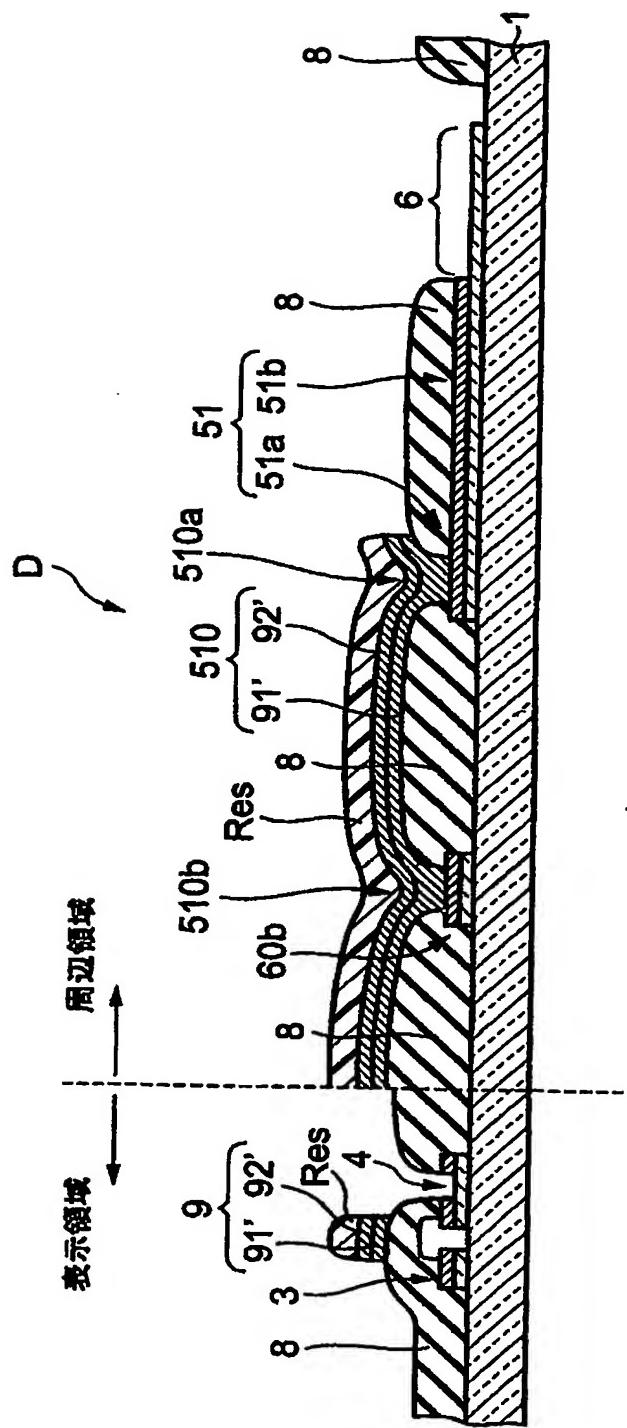
【図 51】



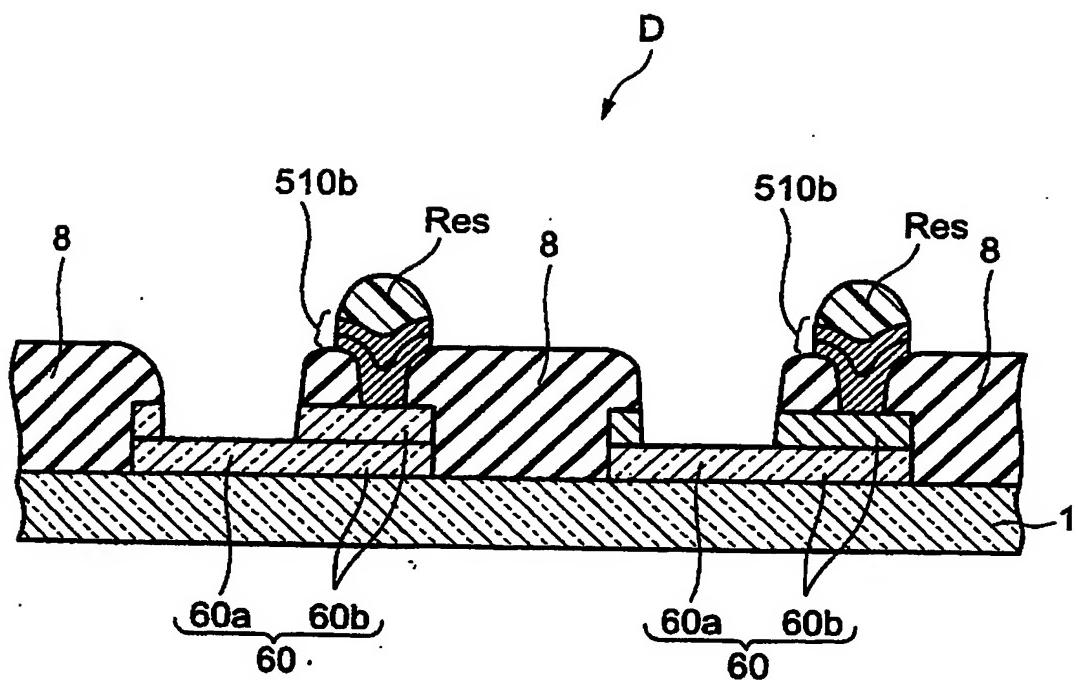
【図54】



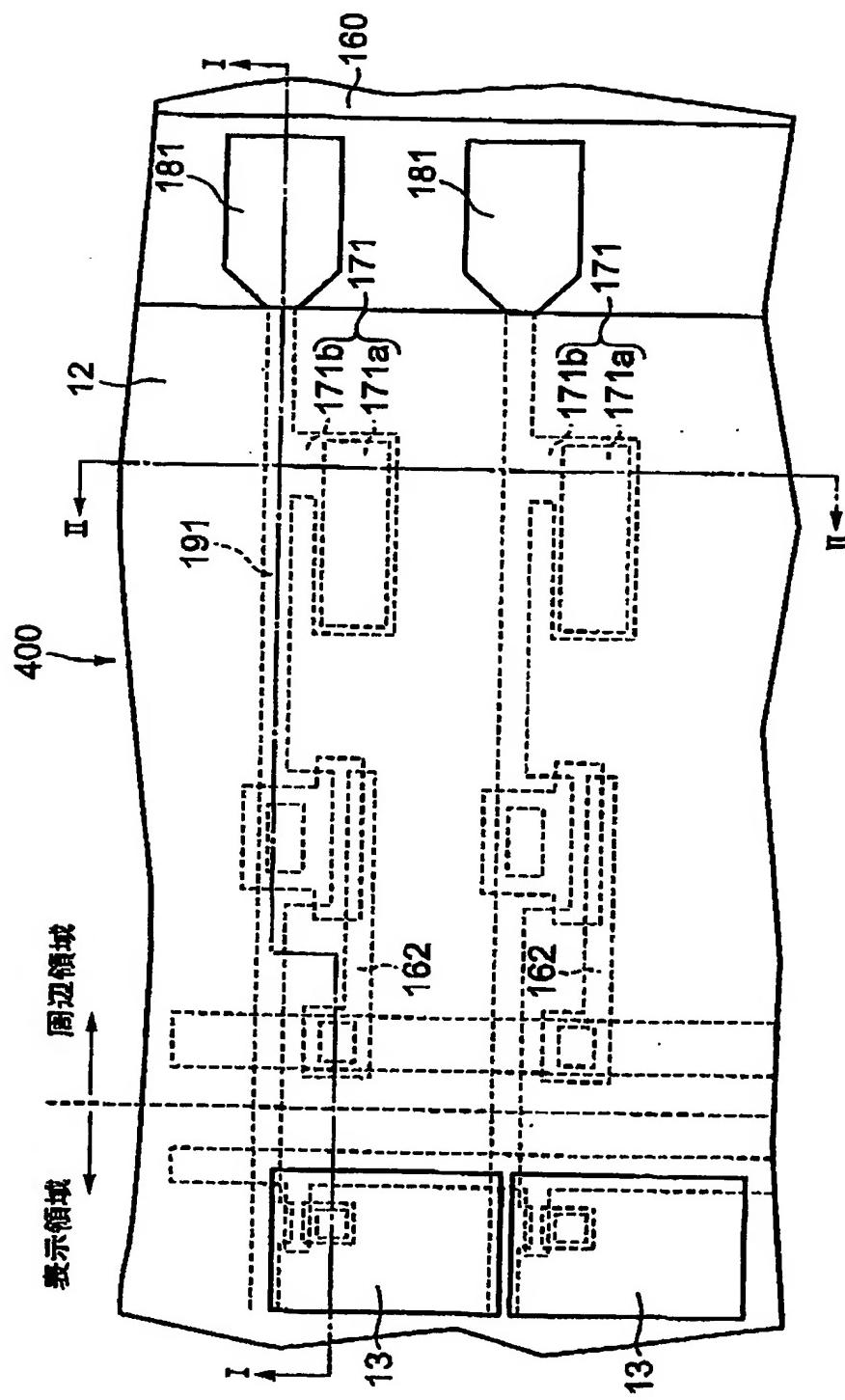
【図55】



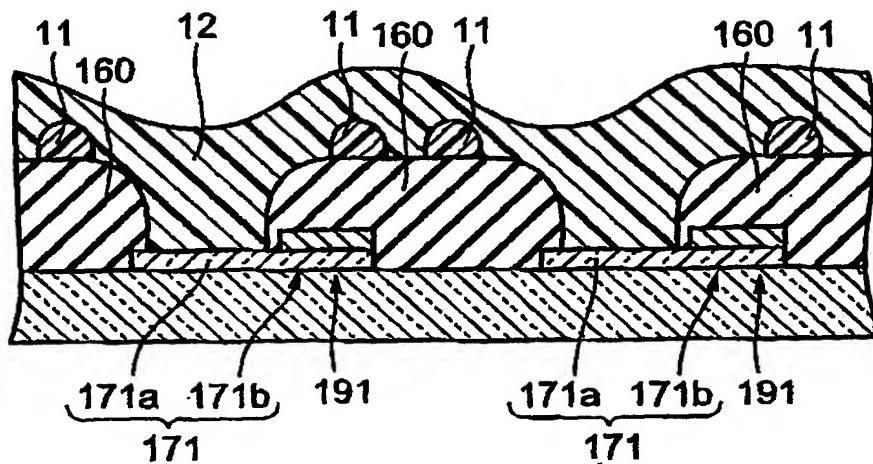
【図56】



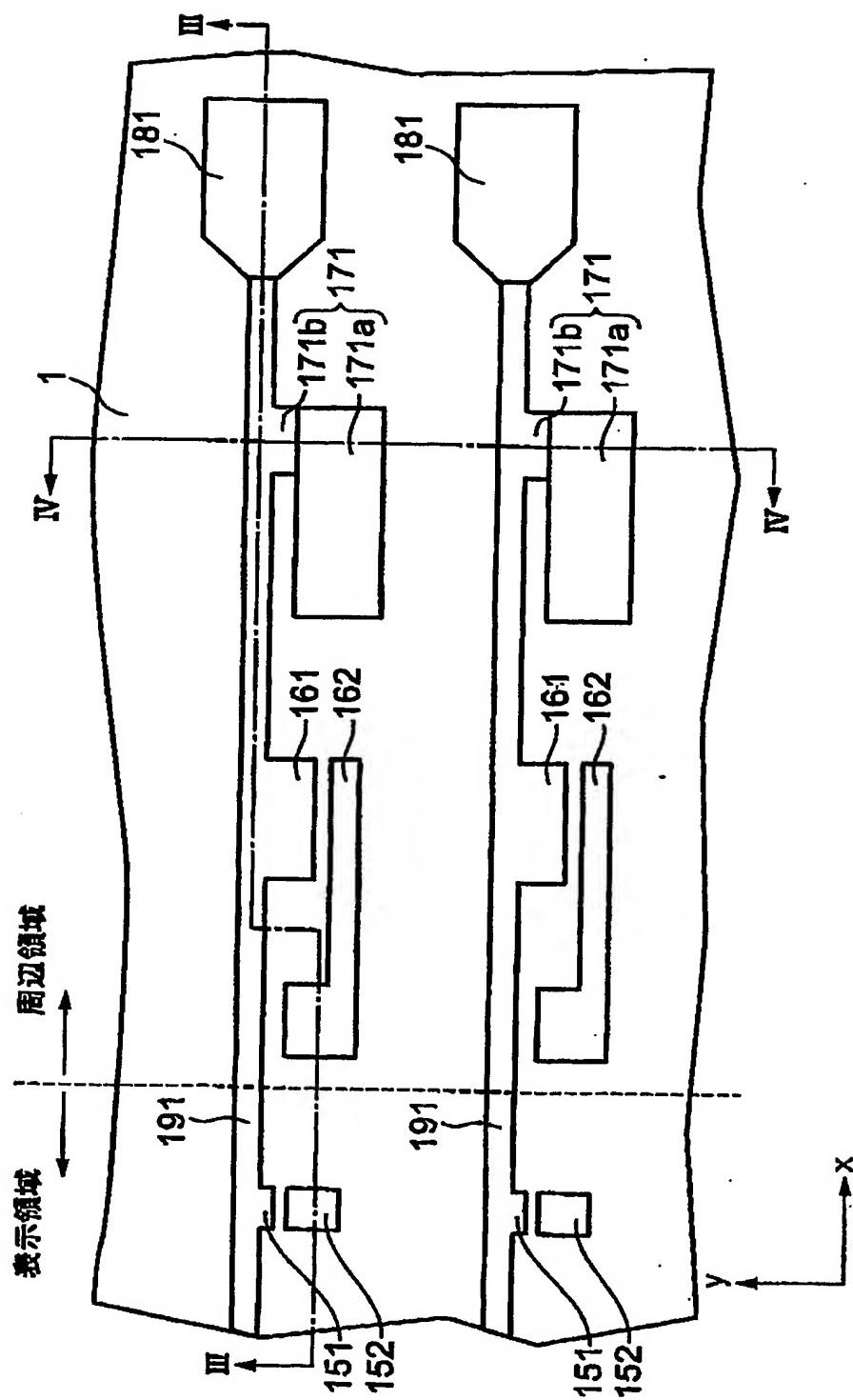
【図57】



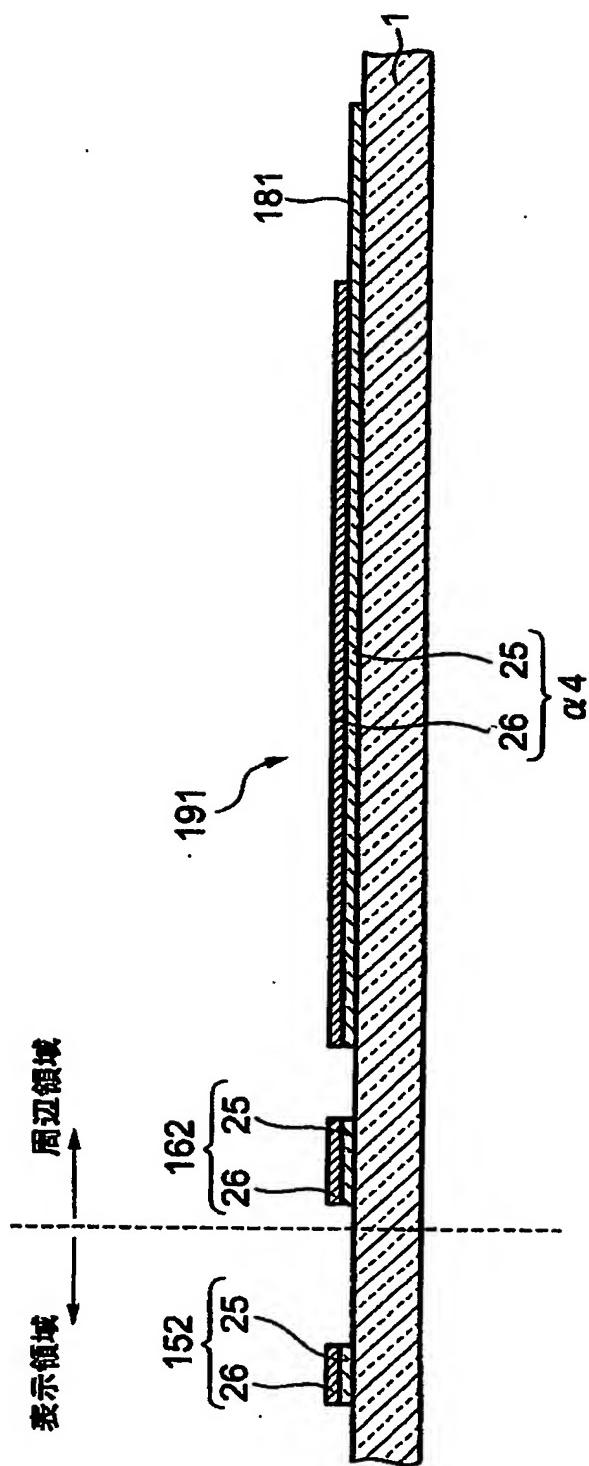
【図 59】



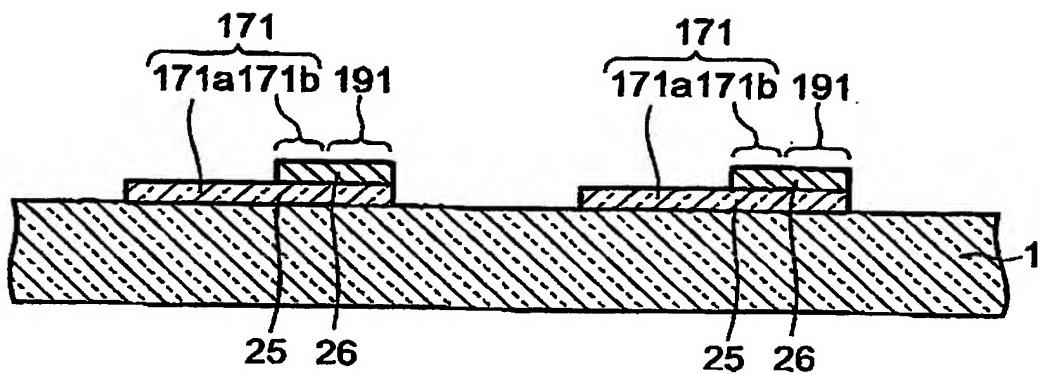
【図60】



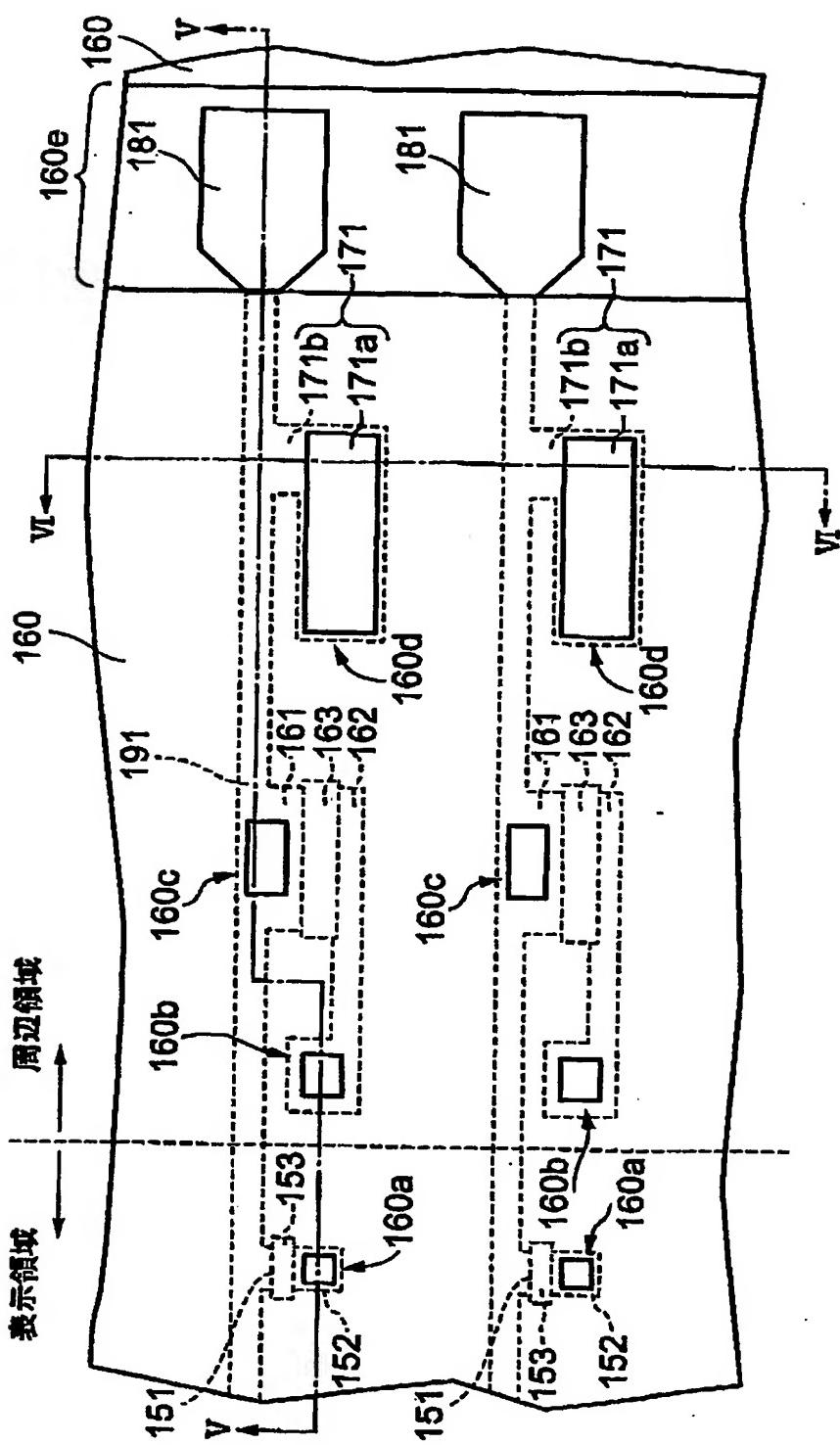
【図61】



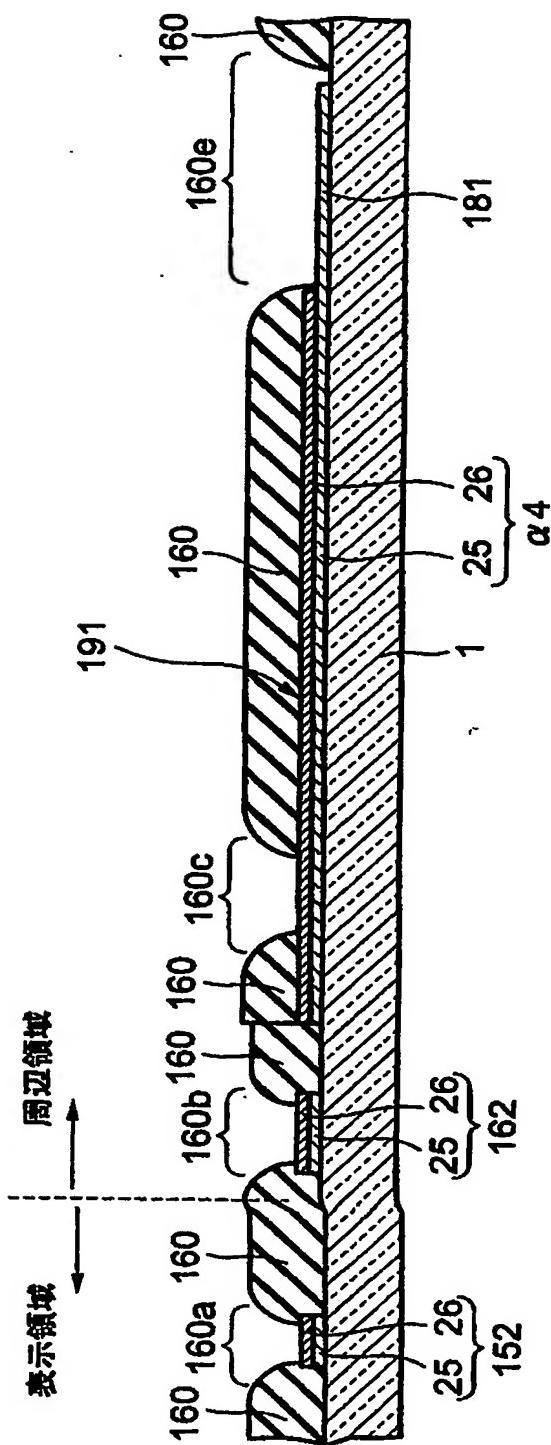
【図62】



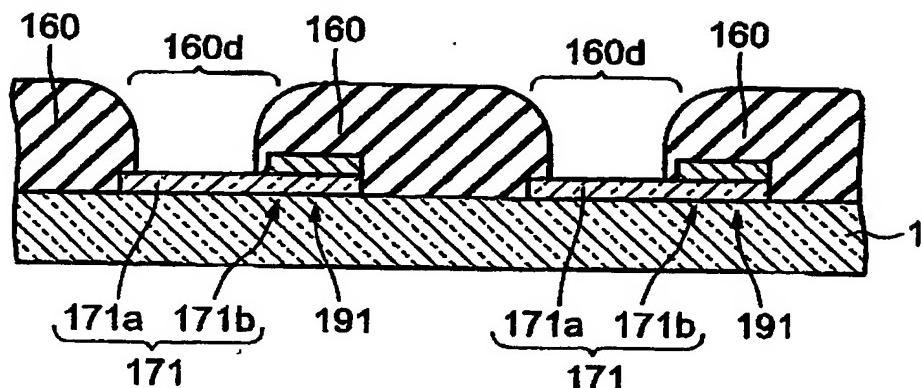
【図63】



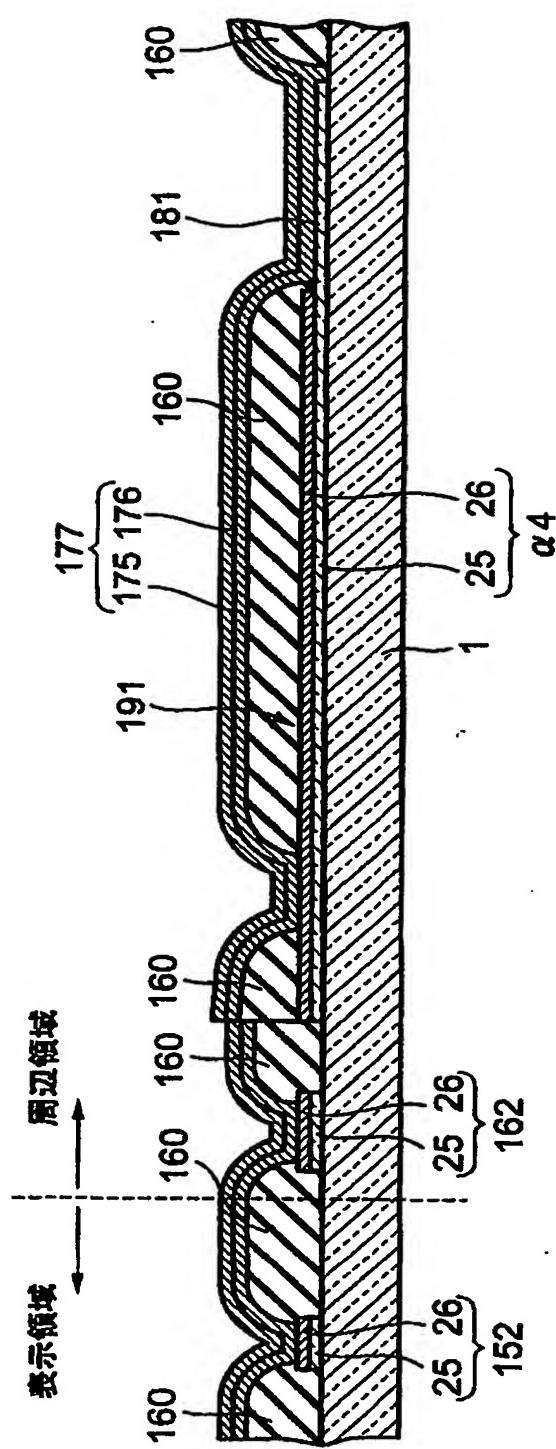
【図64】



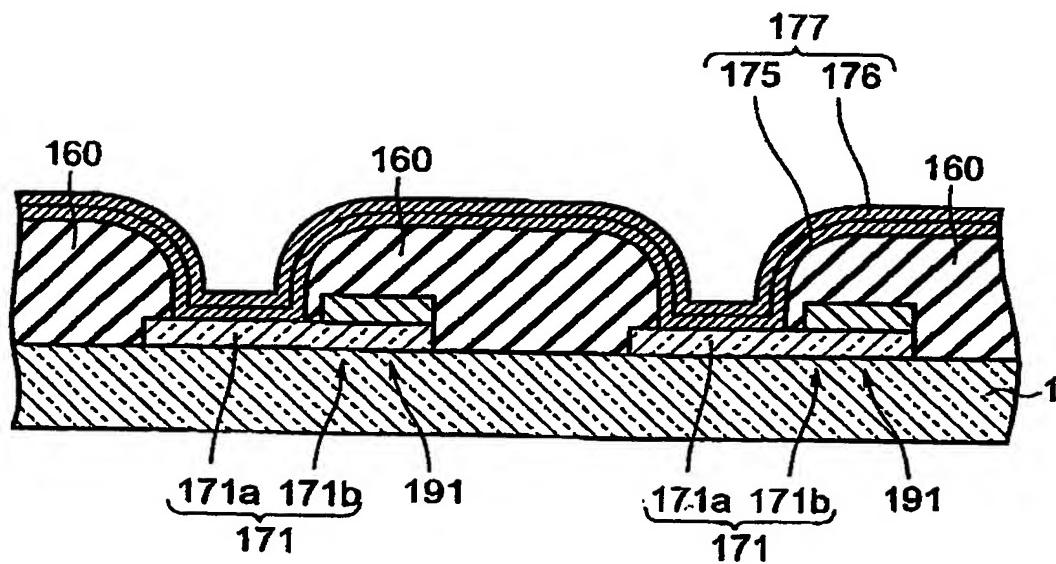
【図65】



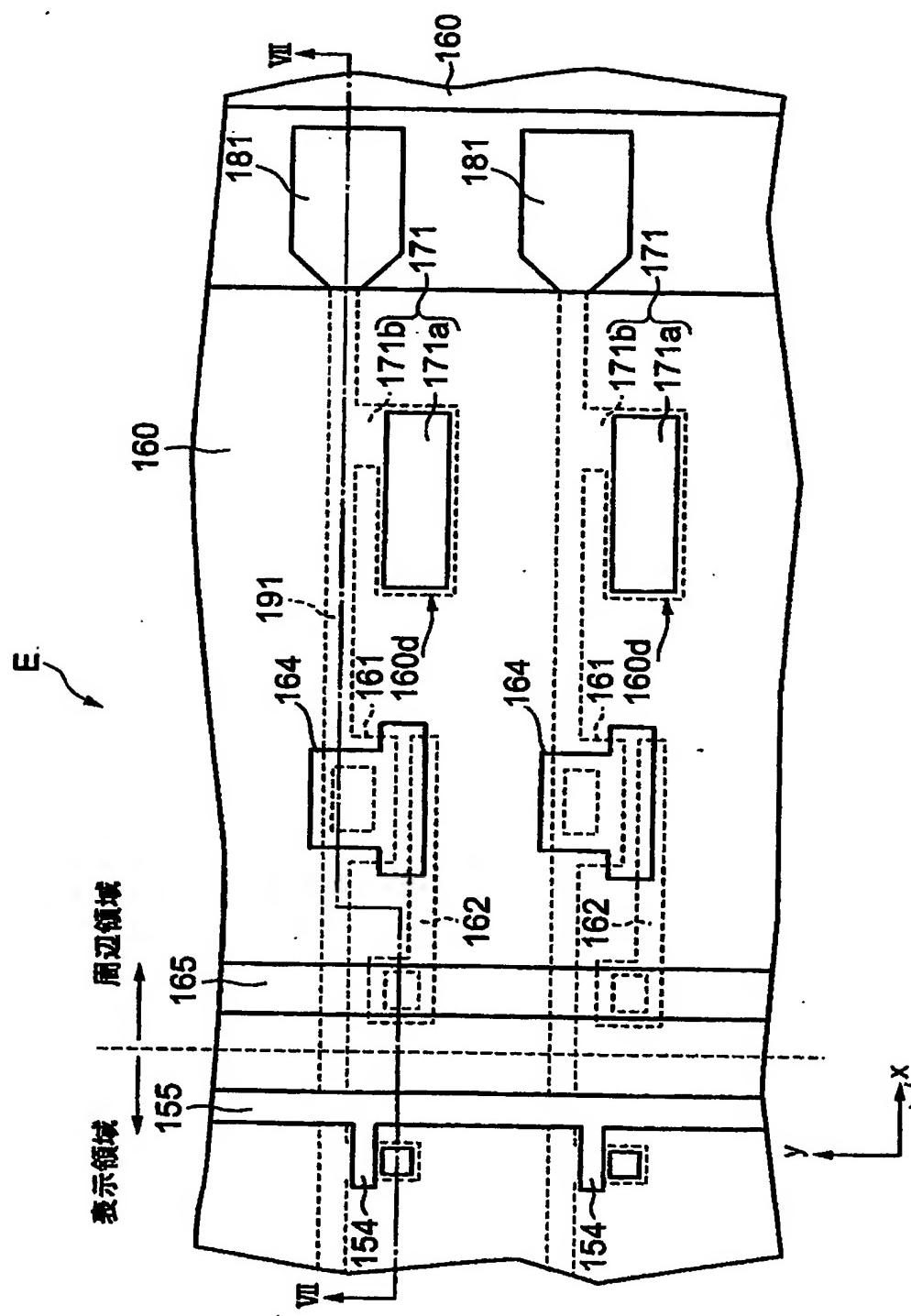
【図66】



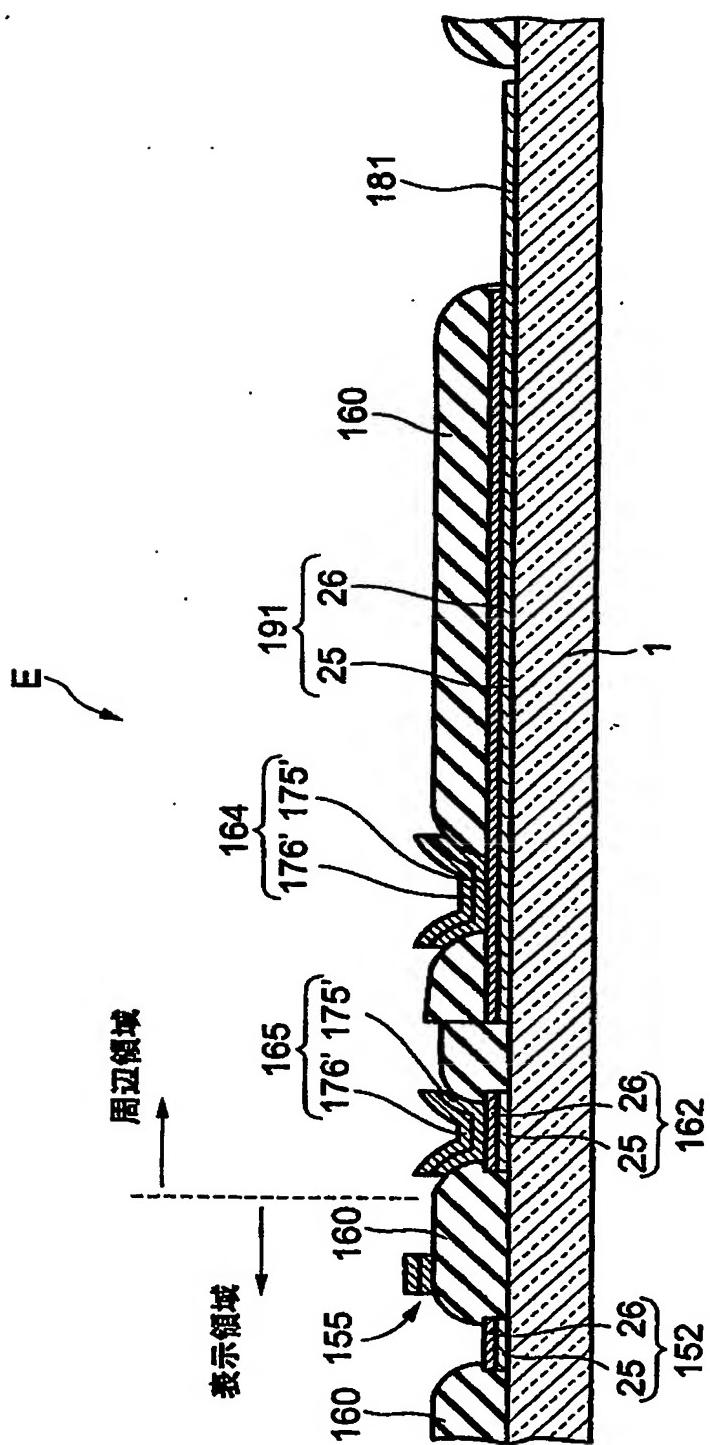
【図67】



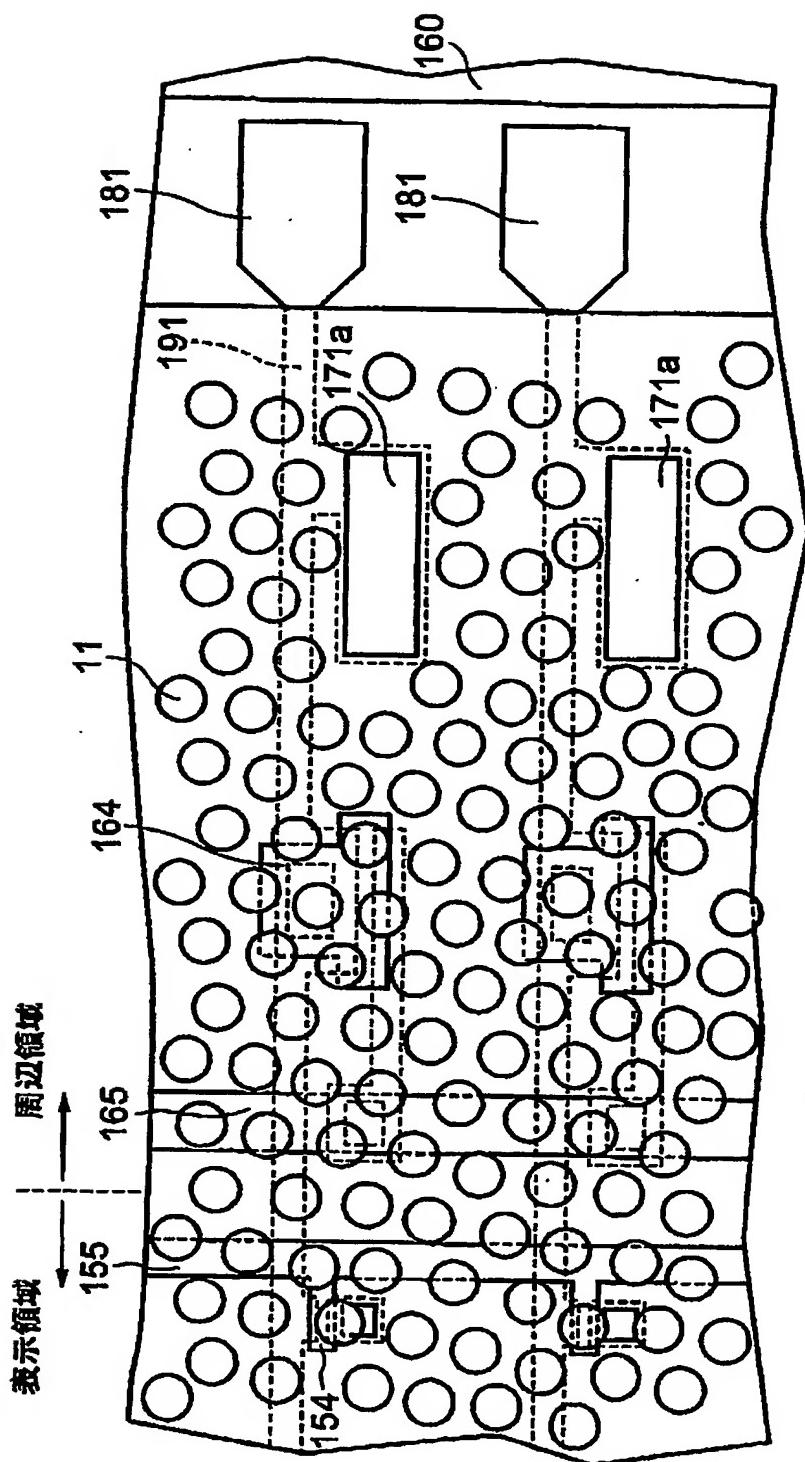
【図68】



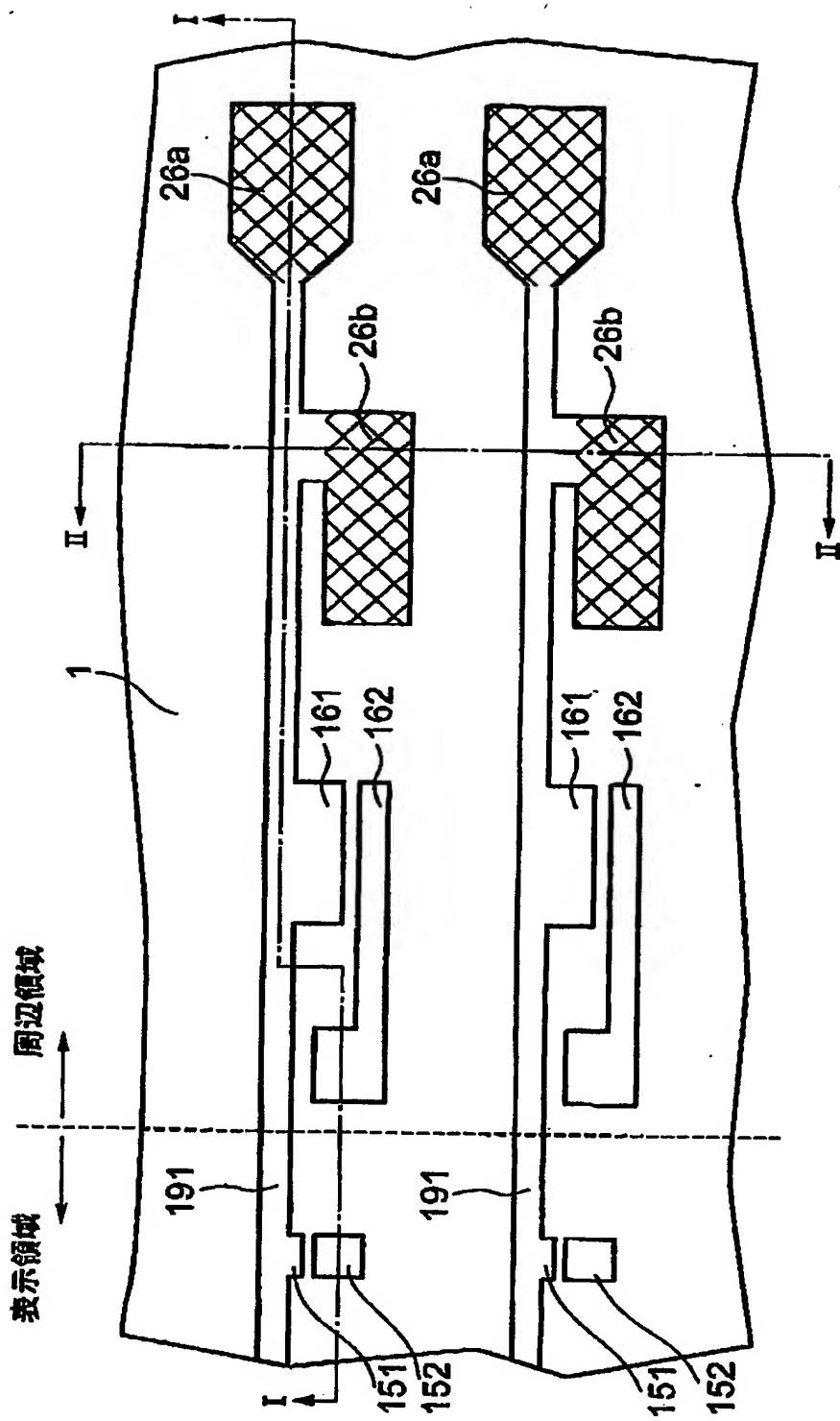
【図 69】



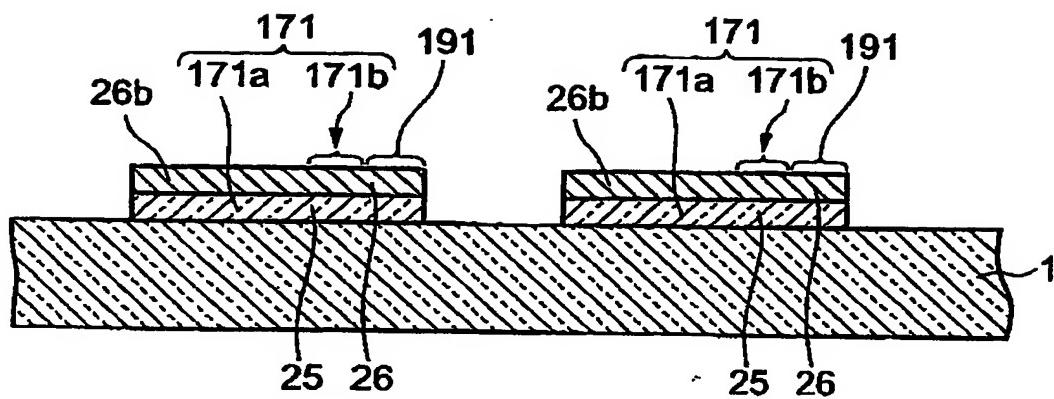
【図70】



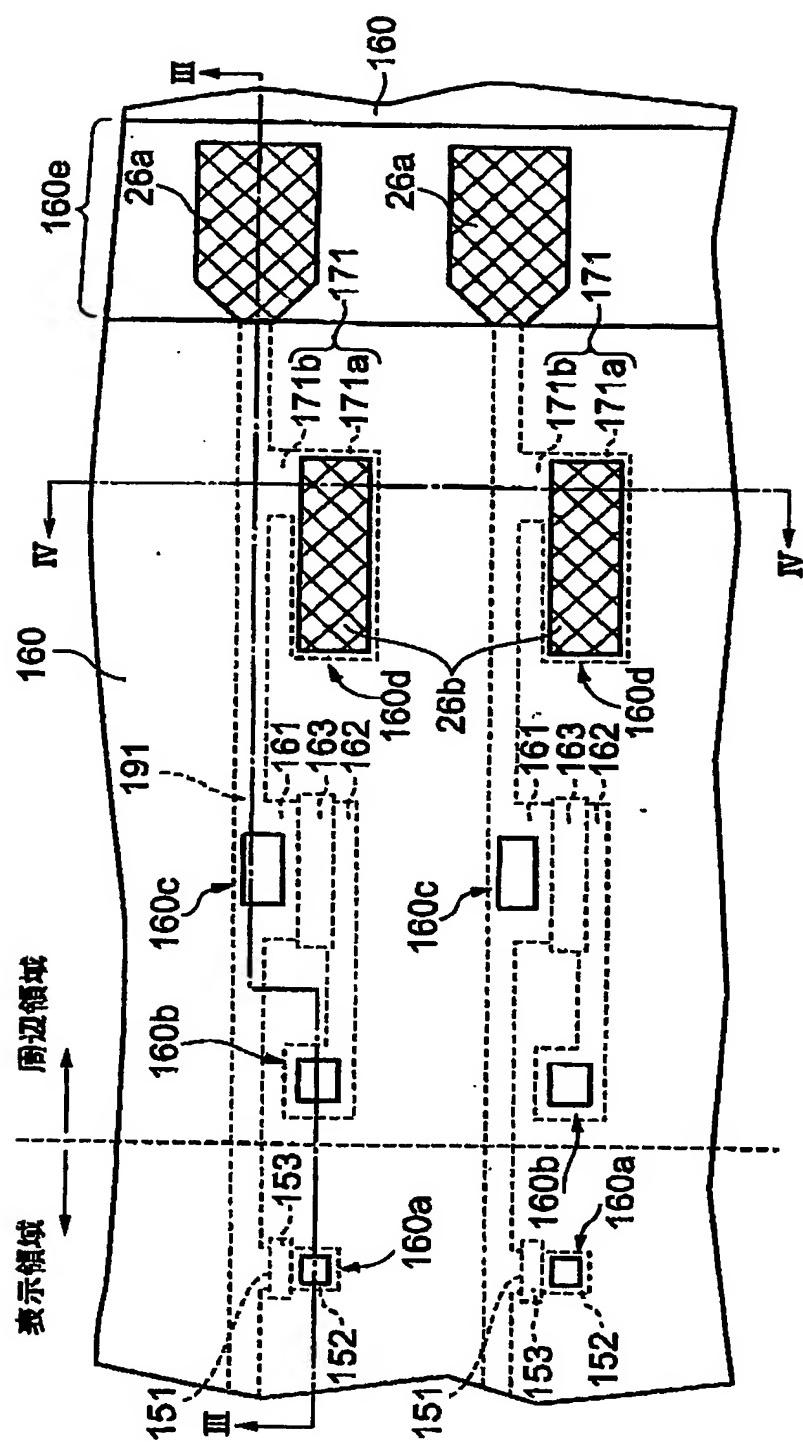
【図 71】



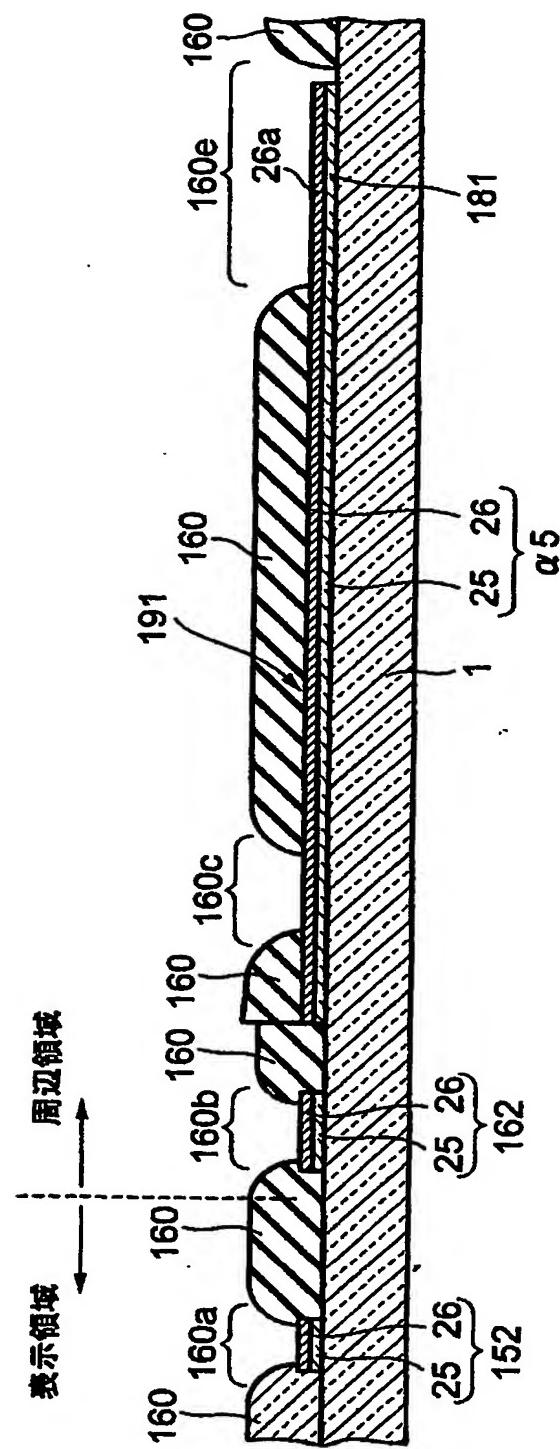
【図73】



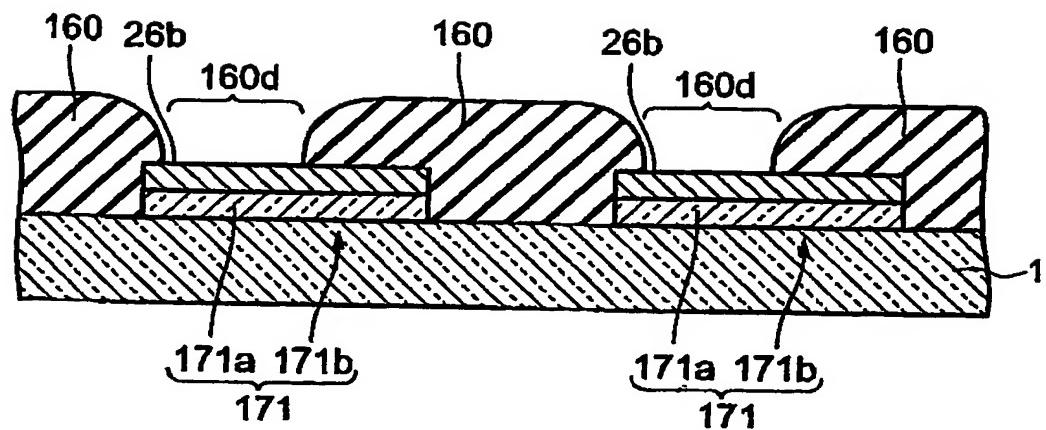
【図 74】



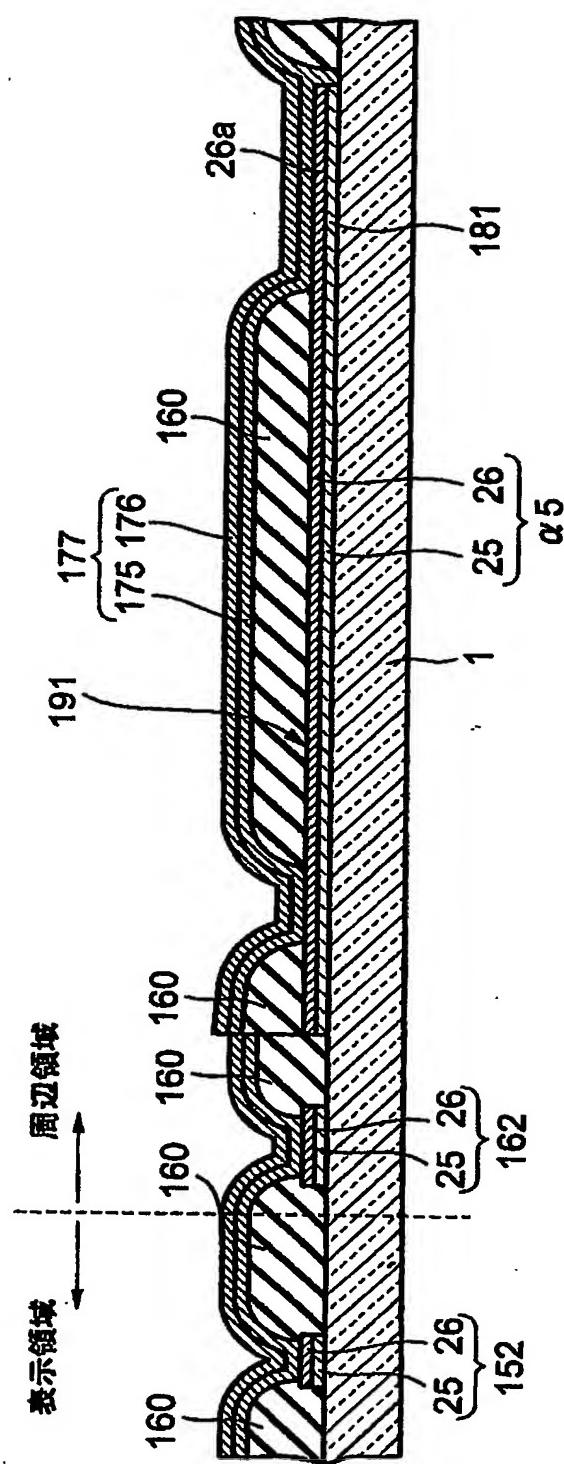
【図75】



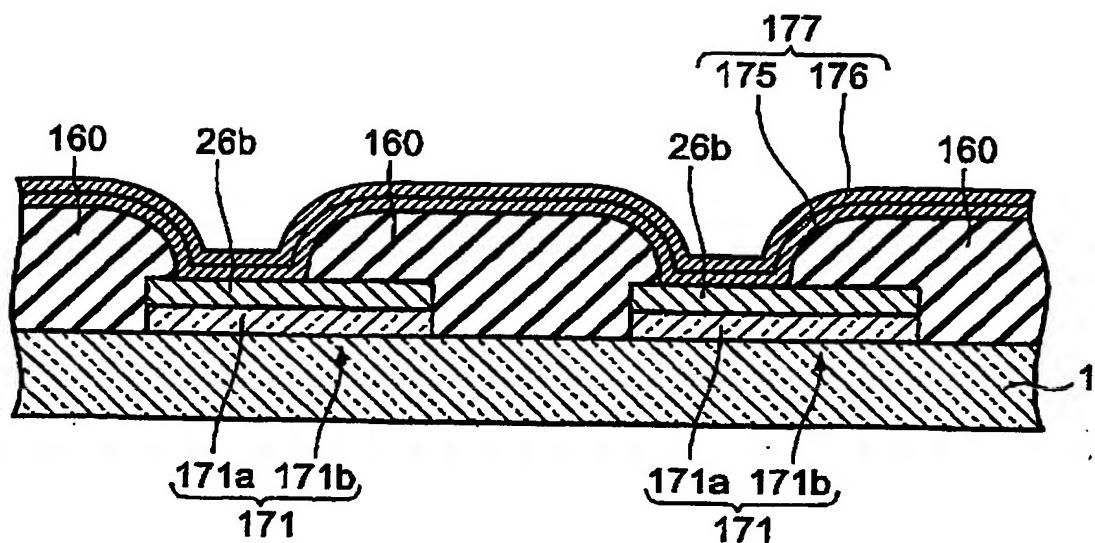
【図 76】



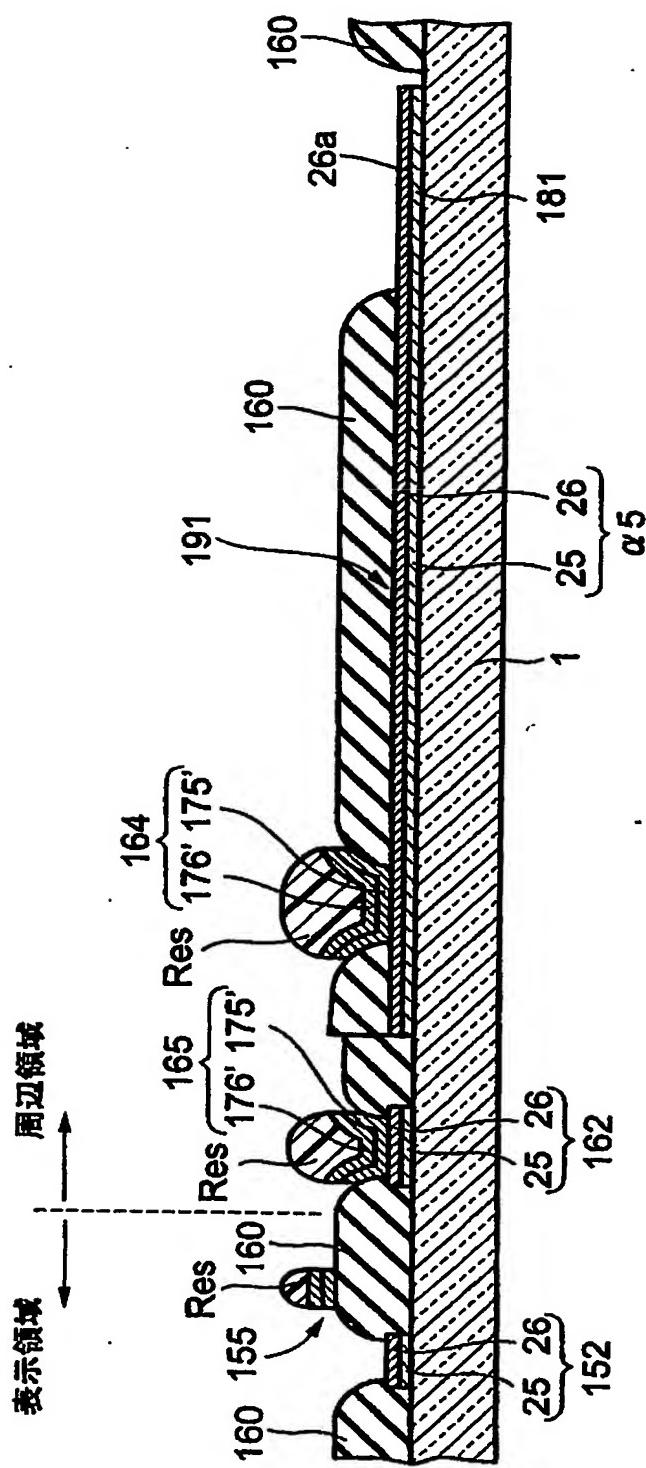
【図77】



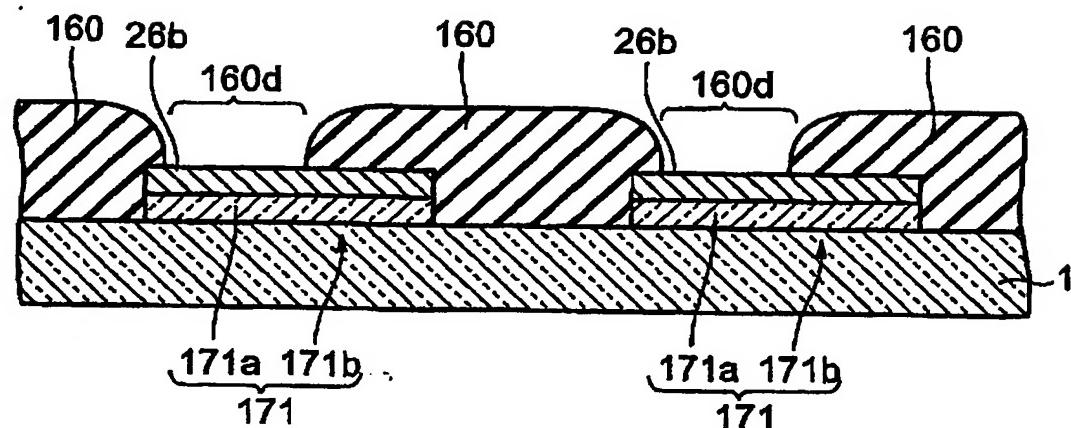
【図 78】



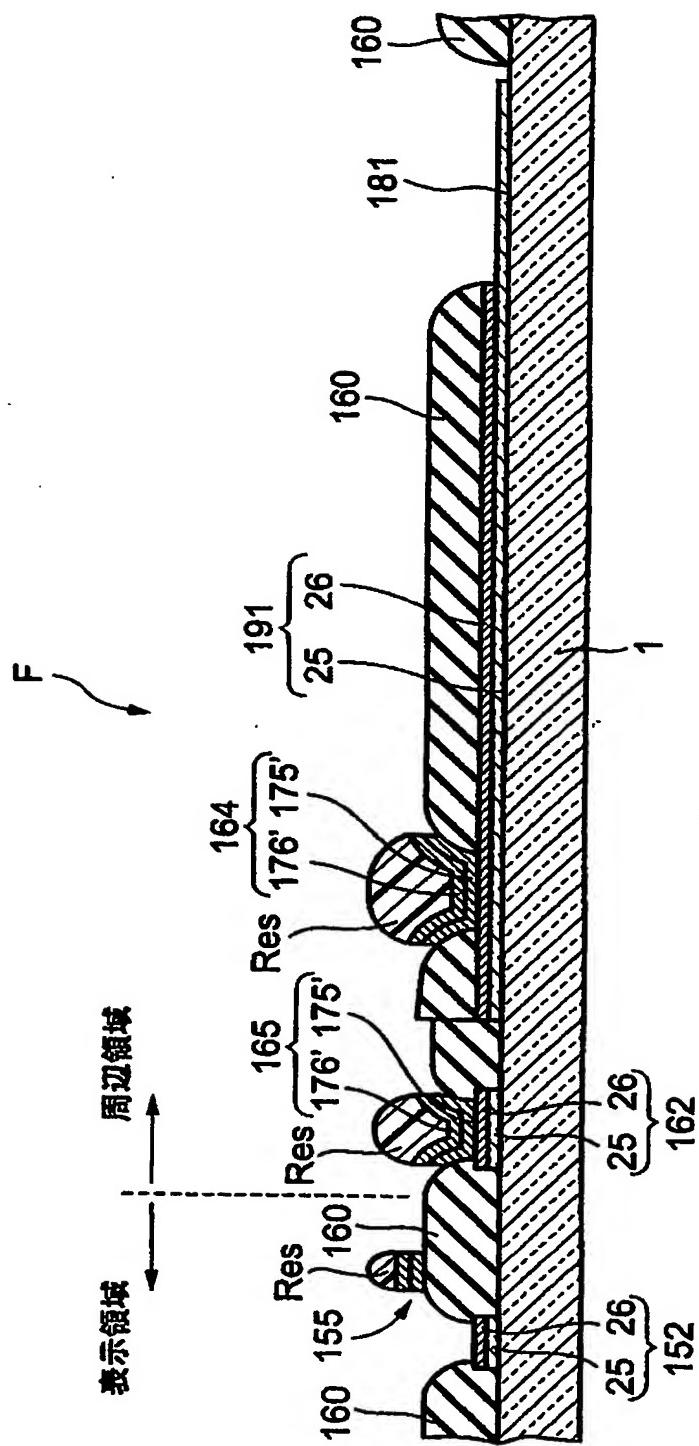
【図 80】



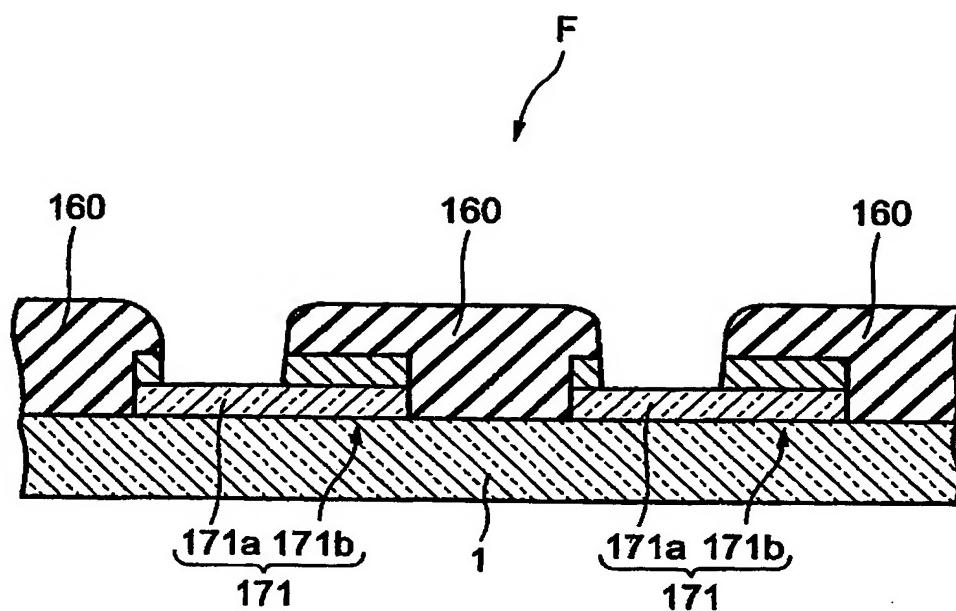
【図 81】



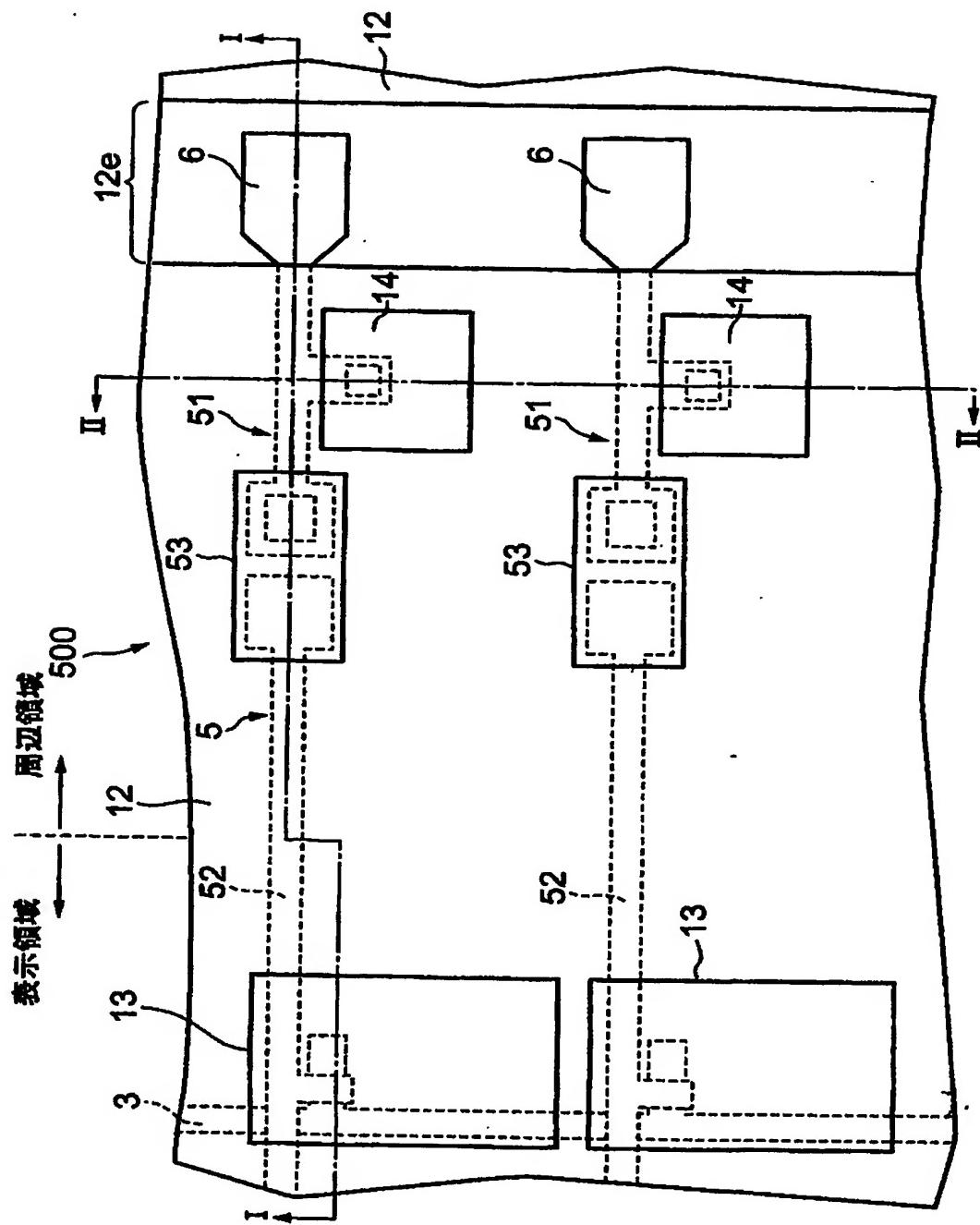
【図82】



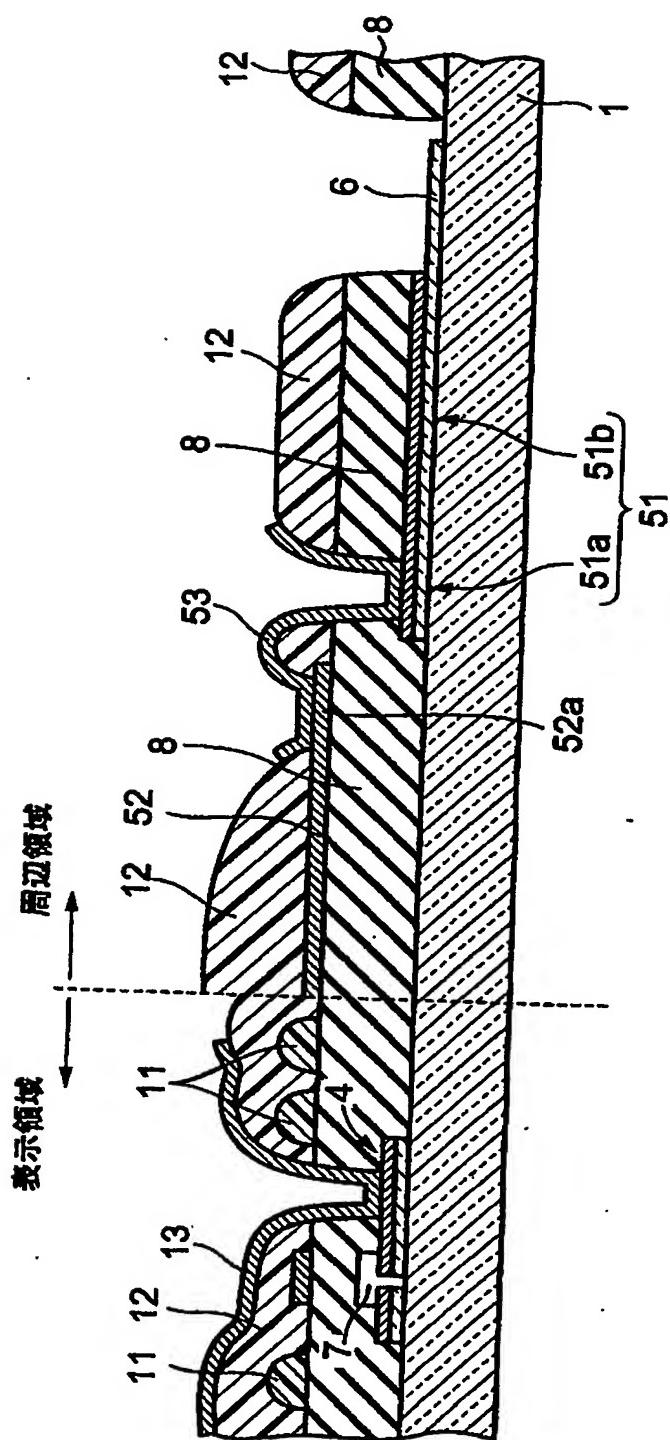
【図83】



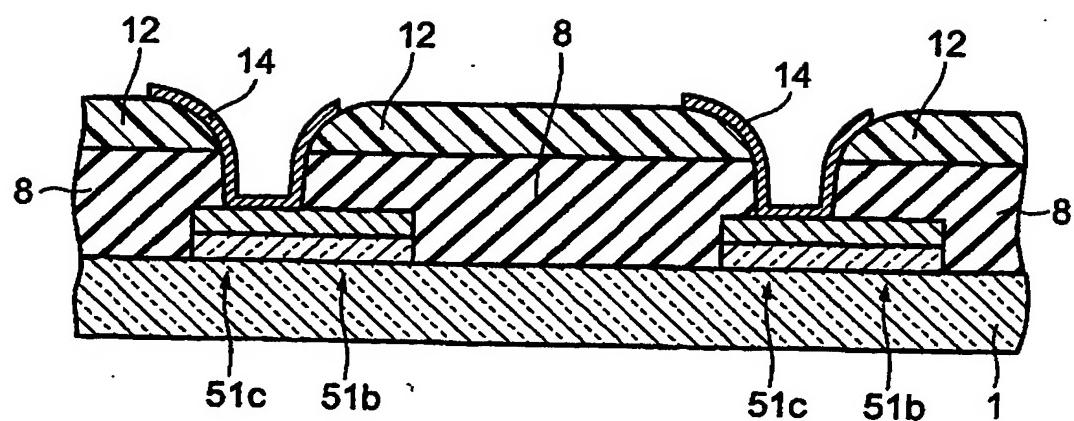
【図84】



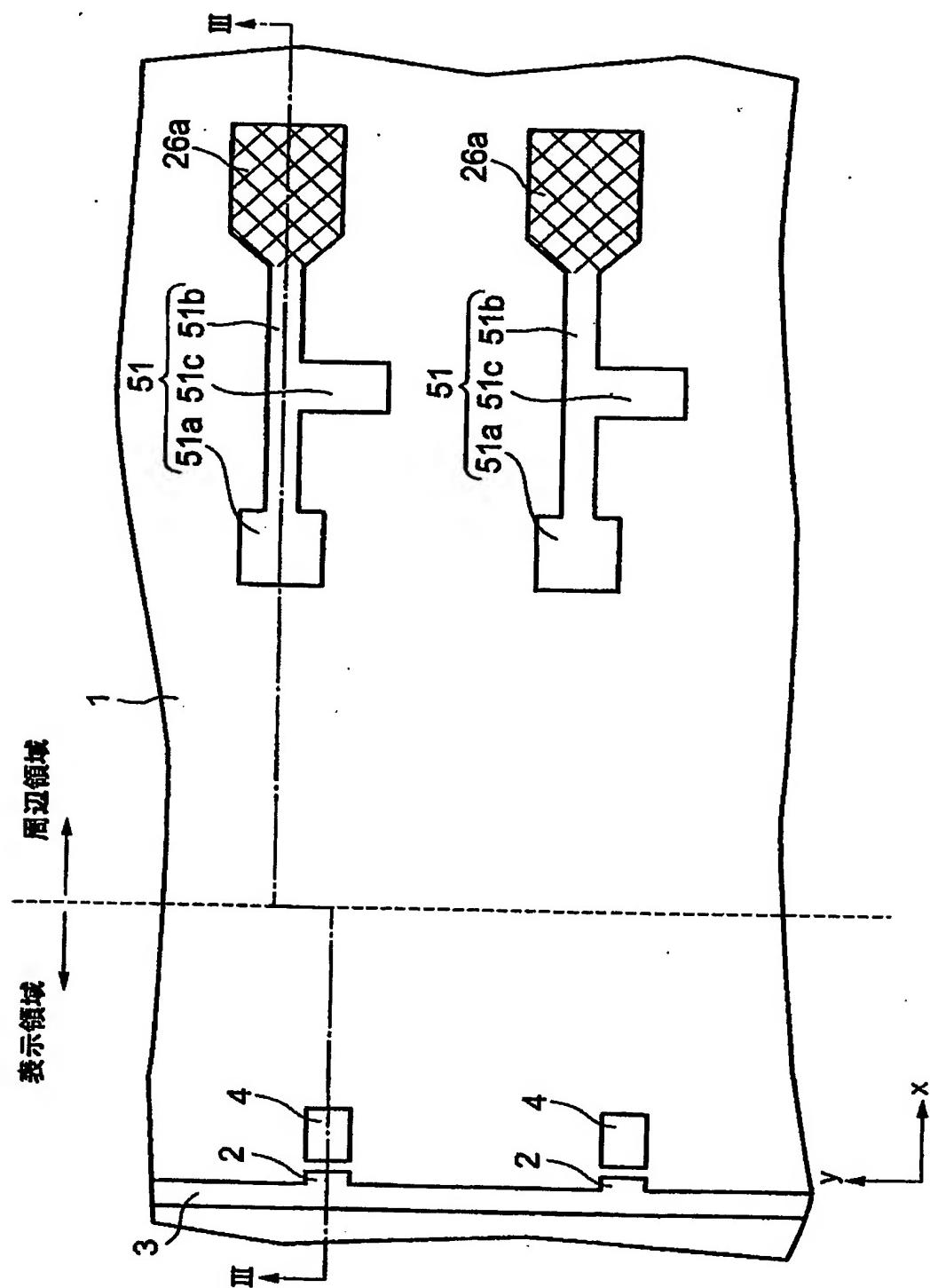
【図85】



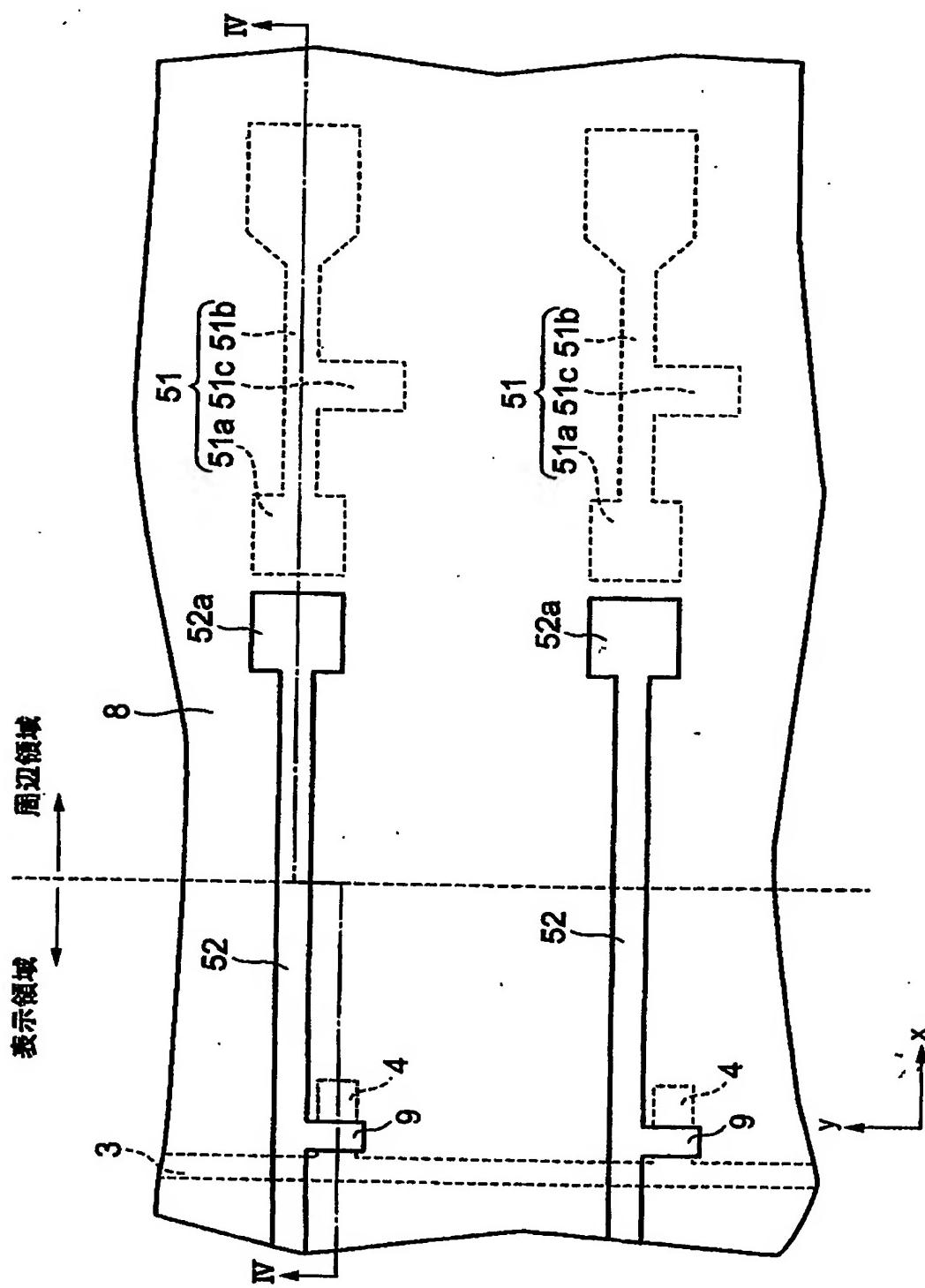
【図86】



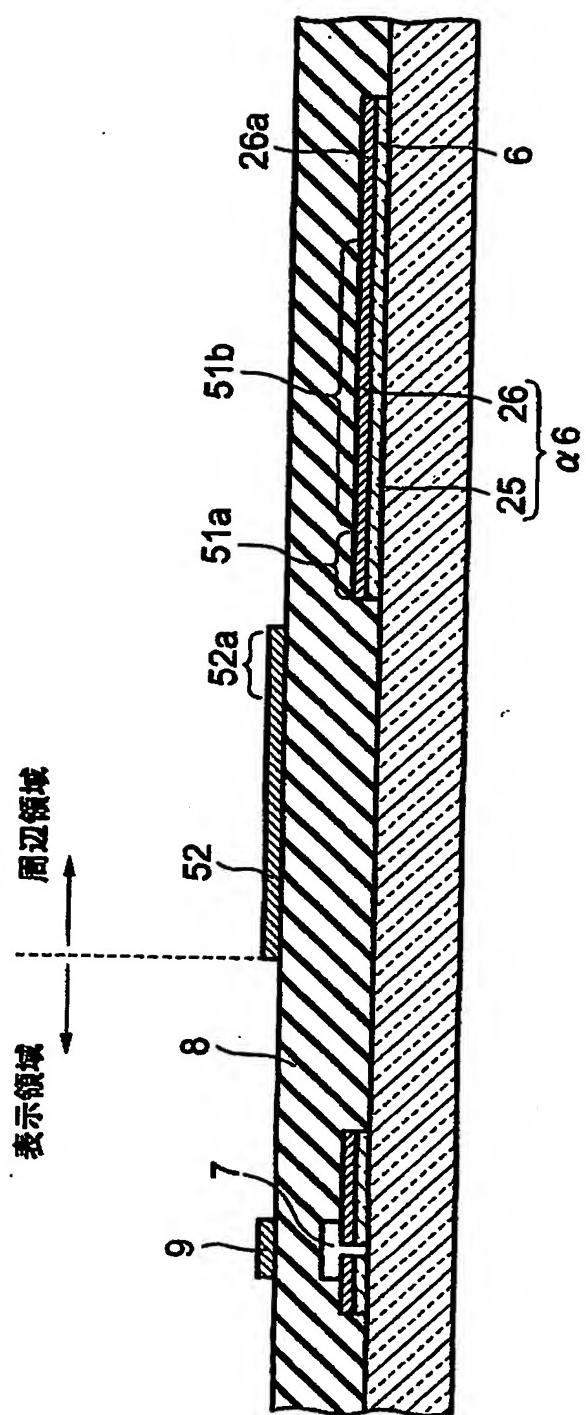
【図87】



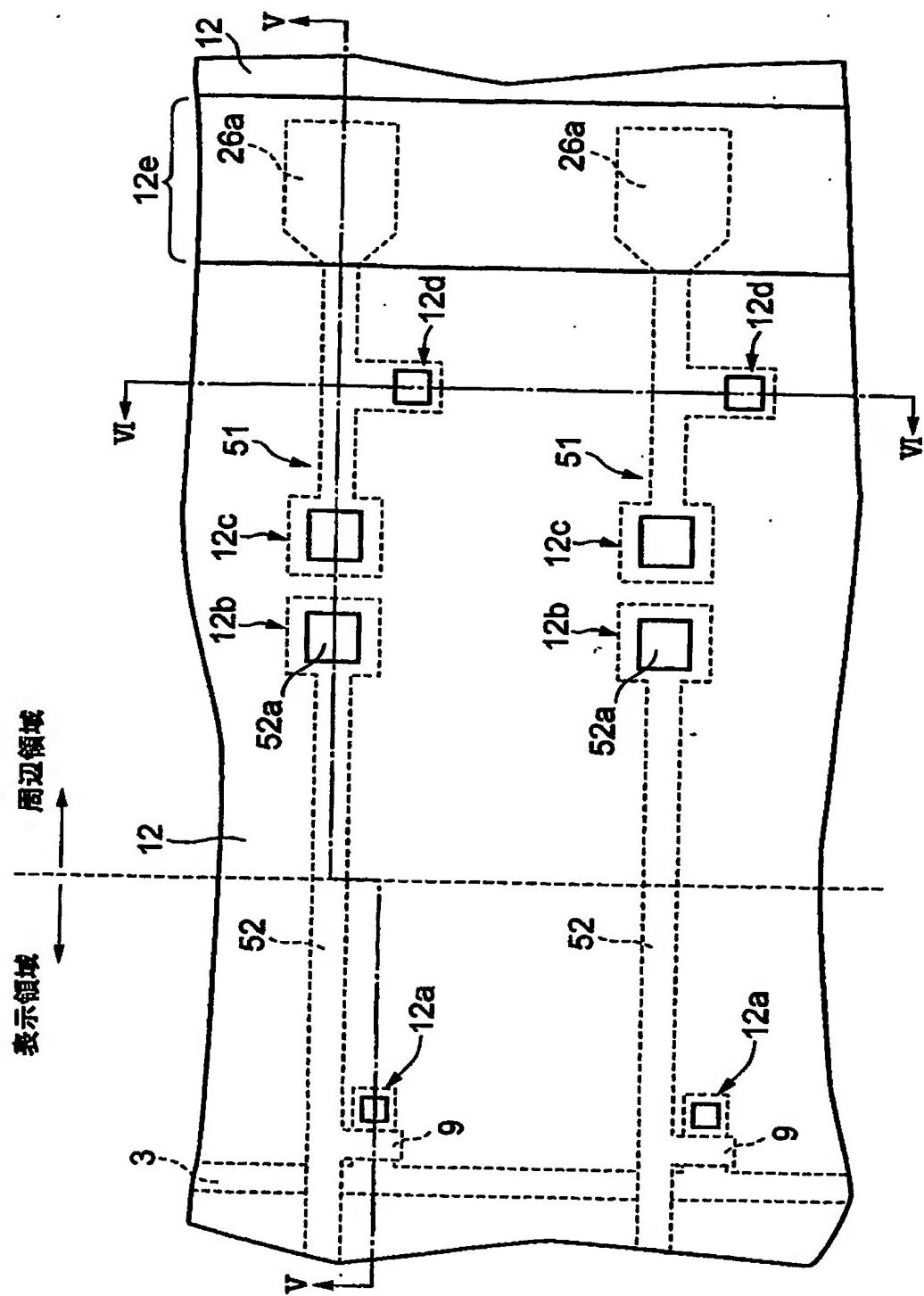
【図89】



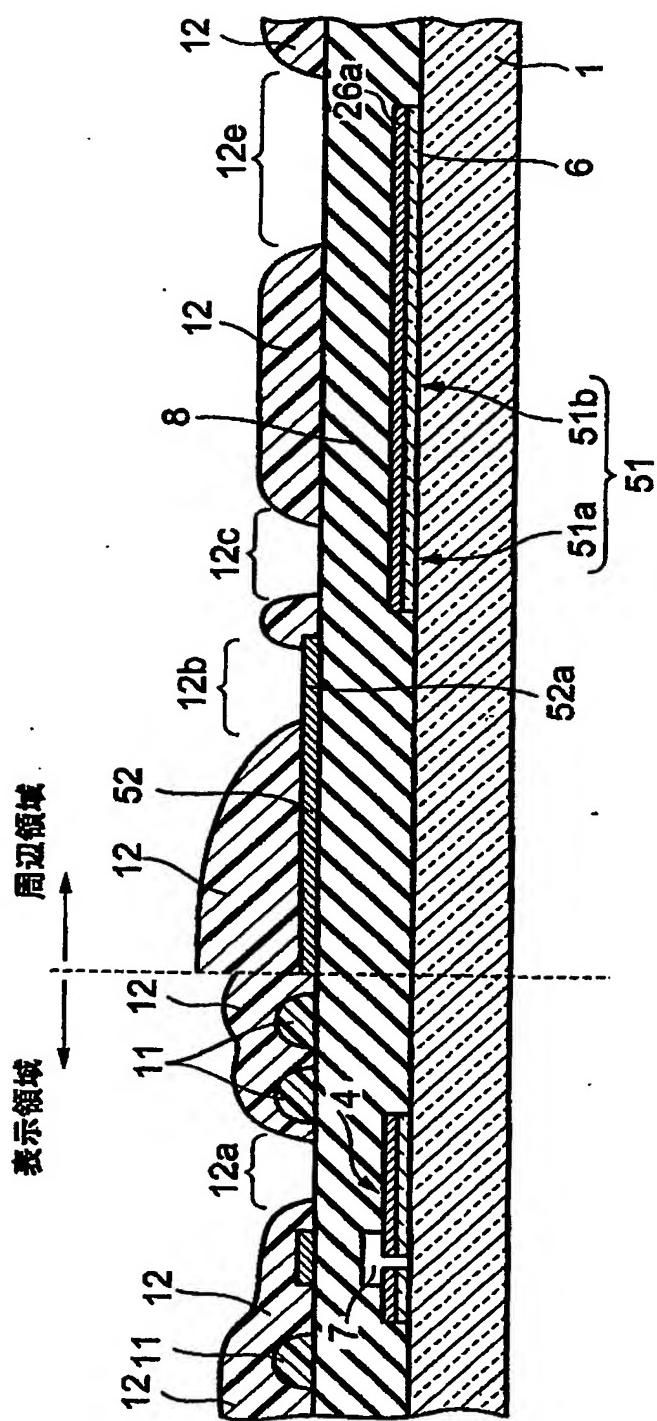
【図90】



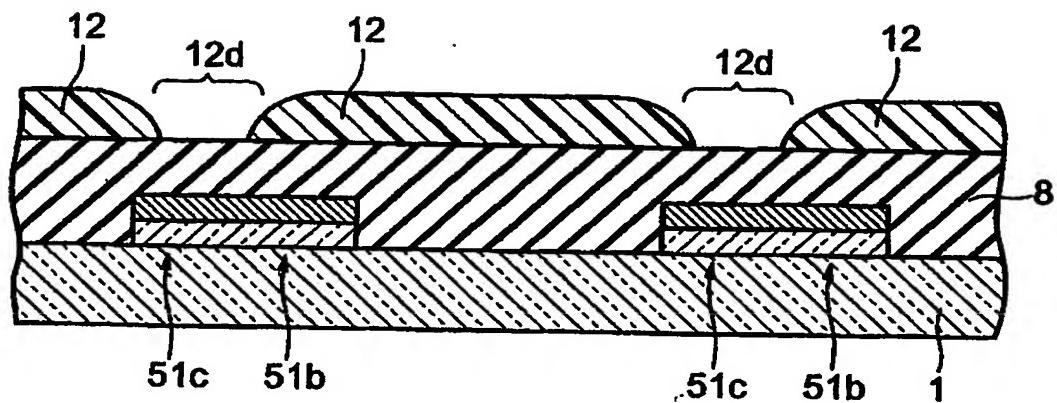
【図91】



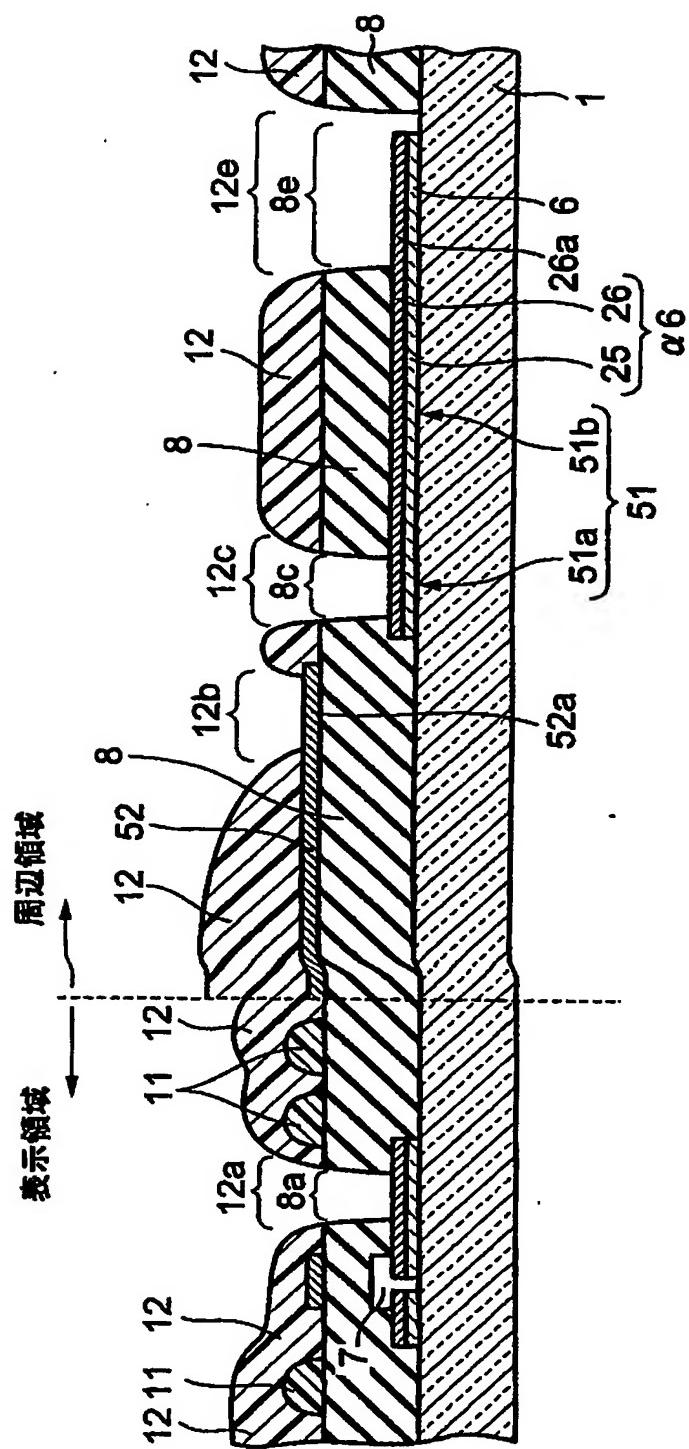
【図92】



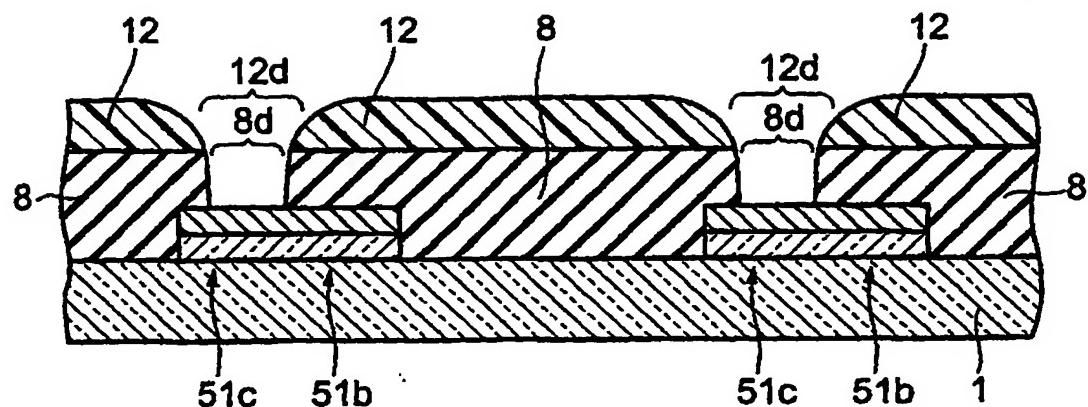
【図93】



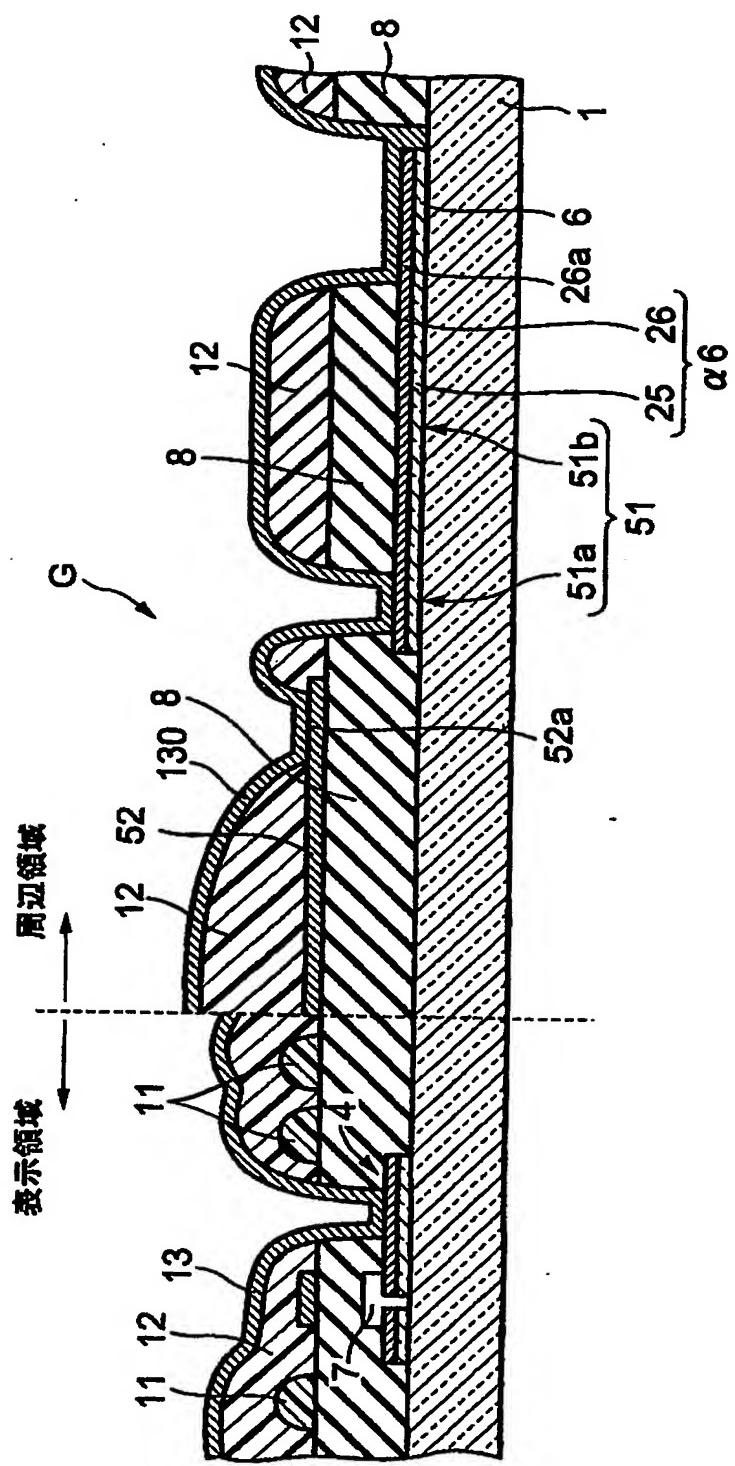
【図94】



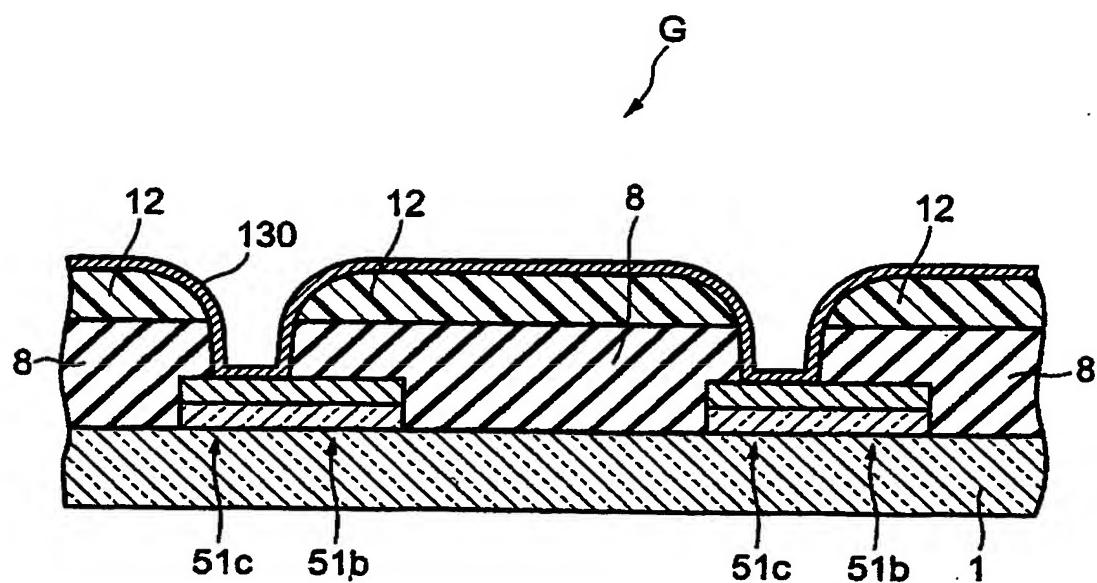
【図95】



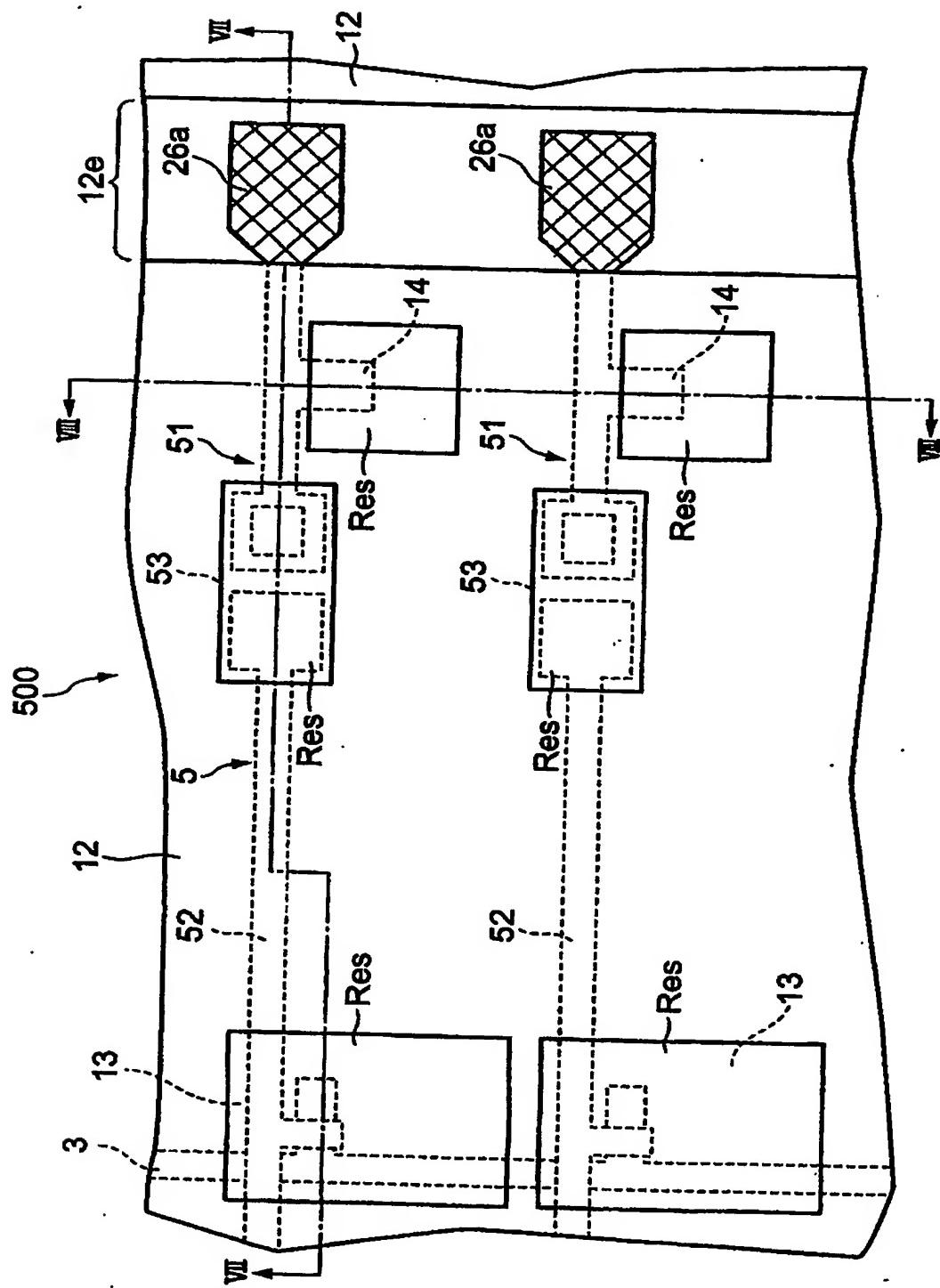
【図96】



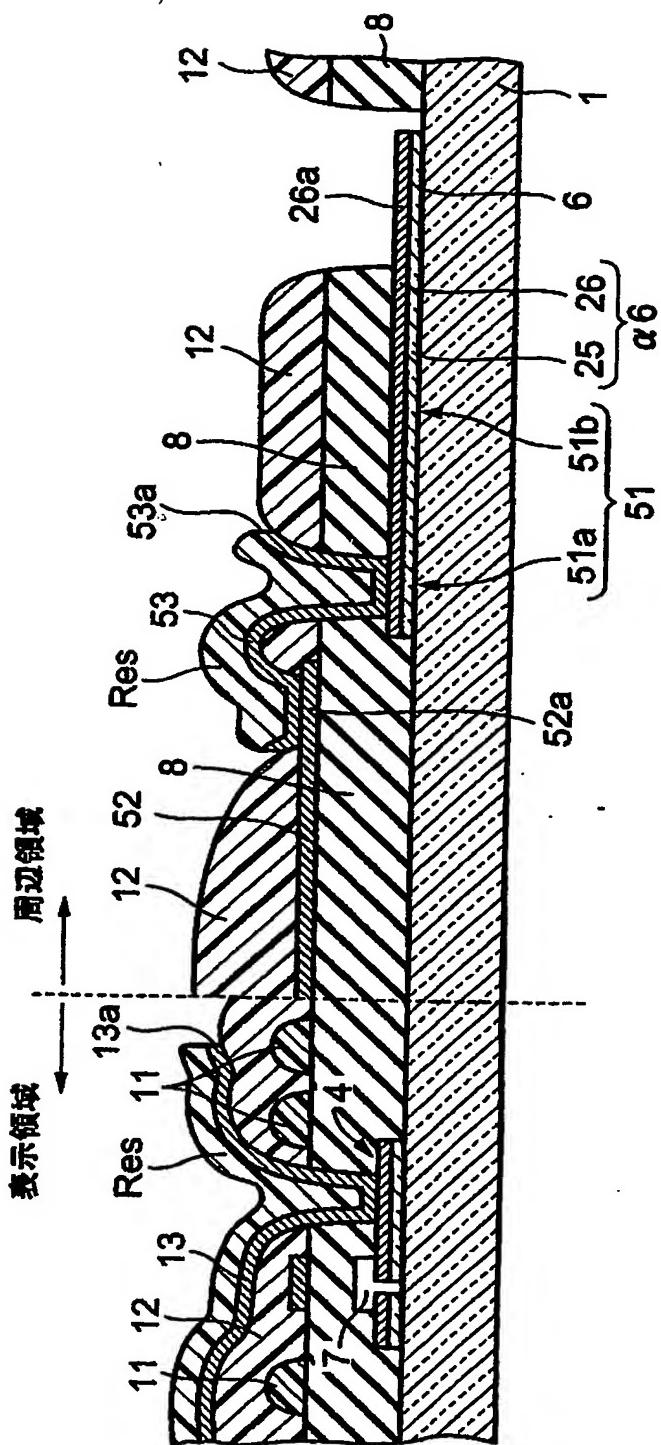
【図97】



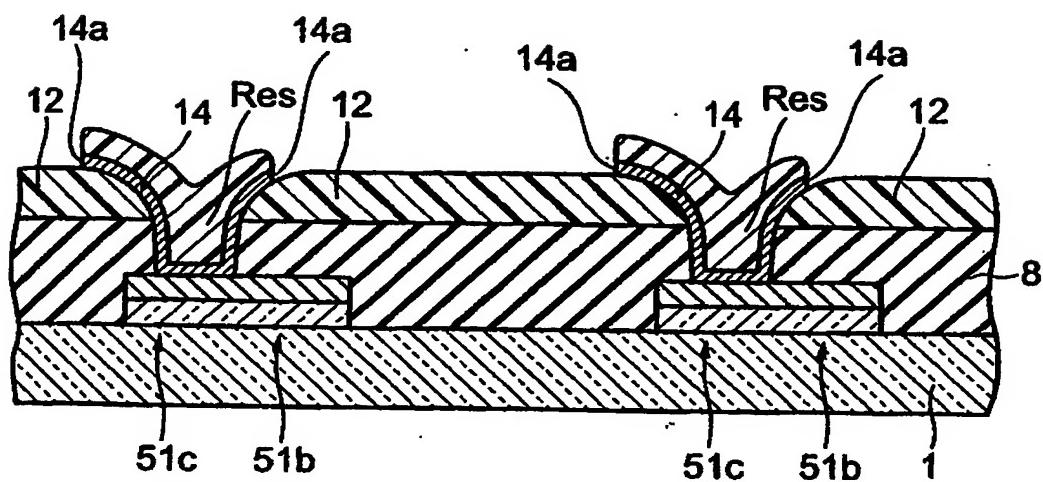
【図98】



【図99】



【図100】



【書類名】

要約書

【要約】

【課題】 感光性膜が必要以上に除去される現象を緩和する導電部装置製造方法、現像液に接触した導電膜が損傷を受けてしまう現象を緩和する導電部装置製造方法、金属膜が必要以上に除去されてしまうという現象を緩和する導電部装置製造方法、並びにこれらの方針が適用された導電部装置を提供する。

【解決手段】 導電部所有体Aの表面に被覆膜100を形成する工程と、被覆膜100が形成された導電部所有体A上に感光性膜110を形成する工程と、感光性膜110を、凹部又は凸部のパターンに対応するパターンに露光する工程と、露光された感光性膜を現像する工程と、現像された感光性膜をベーリングする工程と、ベーリングされた感光性膜をエッティングマスクとして、被覆膜100をエッティングする工程と、ベーリングされた感光性膜とエッティングされた被覆膜とが設けられた導電部所有体A上に、平坦化膜12を形成する工程とを有する導電部装置製造方法。

【選択図】

図17

認定・付加情報

特許出願の番号 特願2002-381362
受付番号 50201990417
書類名 特許願
担当官 第二担当上席 0091
作成日 平成15年 1月 6日

<認定情報・付加情報>

【提出日】 平成14年12月27日

次頁無

出証特2003-3086815

特願 2002-381362

出願人履歴情報

識別番号

[590000248]

1. 変更年月日

[変更理由]

住 所

1998年 7月 21日

名称変更

オランダ国 アイントーフェン フルーネヴァウツウェッハ
1

氏 名

コーニンクレッカ フィリップス エレクトロニクス エヌ
ヴィ

2. 変更年月日

[変更理由]

住 所

1998年 8月 3日

住所変更

オランダ国 5621 ベーアー アイントーフェン フル
ネヴァウツウェッハ 1

氏 名

コーニンクレッカ フィリップス エレクトロニクス エヌ
ヴィ

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLORED OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**